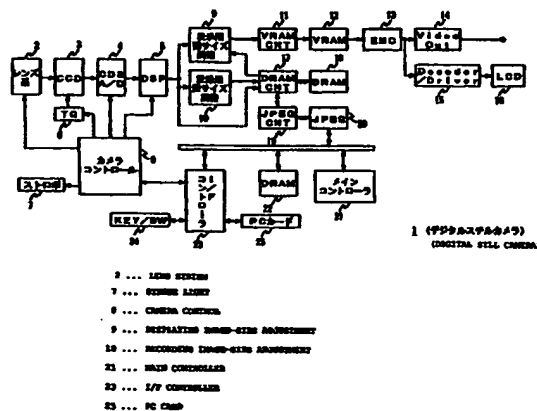




(51) 国際特許分類6 H04N 5/225	A1	(11) 国際公開番号 WO00/10325 (43) 国際公開日 2000年2月24日(24.02.00)
(21) 国際出願番号 PCT/JP99/04340 (22) 国際出願日 1999年8月11日(11.08.99) (30) 優先権データ 特願平10/227390 1998年8月11日(11.08.98) JP (71) 出願人 (米国を除くすべての指定国について) ソニー株式会社(SONY CORPORATION)[JP/JP] 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 池山裕政(IKEYAMA, Hiromasa)[JP/JP] 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo, (JP) (74) 代理人 弁理士 田辺恵基(TANABE, Shigemoto) 〒150-0001 東京都渋谷区神宮前1丁目11番11-508号 グリーンフアンタジアビル5階 Tokyo, (JP)		(81) 指定国 KR, US 添付公開書類 国際調査報告書

(54) Title: IMAGING DEVICE
(54) 発明の名称 撮像装置

(57) Abstract

An imaging device for preferably performing image-size adjustment concerning image data for image display and image-size adjustment concerning image data for image recording without increasing the circuit scale, comprising imaging means for outputting image data on the image picked up, displaying image-size adjusting means for adjusting the image size of the image data outputted from the imaging means by linear interpolation and thereby generating image data for display output, recording image-size adjusting means for adjusting the image size of the image data outputted from the imaging means by curvilinear, interpolation and generating image data to be recorded on a recording medium, display data output means for performing display output according to the image data the image size of which is adjusted by the displaying image-size adjusting means, and recording means for recording the image data whose image size is adjusted by the recording image-size adjusting means on a recording medium.

(57)要約

本発明は、回路規模を増大させることなく表示用の画像データに関する画サイズ調整処理と、記録用の画像データに関する画サイズ調整処理とをそれぞれ好適に実行できるようにするために、撮像した画像を画像データとして出力する撮像手段と、当該撮像手段から出力された画像データに対して直線補間による画サイズ調整処理を行って表示出力用の画像データを生成する表示用画サイズ調整手段と、撮像手段から出力された画像データに対して曲線補間による画サイズ調整処理を行って、記録媒体への記録用の画像データを生成する記録用画サイズ調整手段と、表示用画サイズ調整手段で画サイズ調整された画像データにより表示出力動作を行う表示データ出力手段と、記録用画サイズ調整手段で画サイズ調整された画像データを記録媒体に記録する記録手段とを設けるようにする。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルバニア	EE エストニア	LC セントルシア	SD スーダン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	LK スリ・ランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI スロヴェニア
AZ アゼルバイジャン	GA ガボン	LS レソト	SK スロヴァキア
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シェラ・レオネ
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SN セネガル
BE ベルギー	GE ギルジア	LV ラトヴィア	SZ スワジランド
BF ブルキナ・ファソ	GH ガーナ	MA モロッコ	TD チャード
BG ブルガリア	GM ガンビア	MC モナコ	TG トーゴ
BJ ベナン	GN ギニア	MD モルドヴァ	TJ タジキスタン
BR ブラジル	GW ギニア・ビサウ	MG マダガスカル	TZ タンザニア
BY ベラルーシ	GR ギリシャ	MC マケドニア	TM トルクメニスタン
CA カナダ	HR クロアチア	MD マケドニア	TR トルコ
CF 中央アフリカ	HU ハンガリー	ME 共和国	TT トリニダード・トバゴ
CG コンゴ	ID インドネシア	ML マリ	UA ウクライナ
CH スイス	IE アイルランド	MN モンゴル	UG ウガンダ
CI コートジボアール	IL イスラエル	MR モーリタニア	US 米国
CM カメルーン	IN インド	MW マラウイ	UZ ウズベキスタン
CN 中国	IS アイスランド	MX メキシコ	VN ヴィエトナム
CR コスタ・リカ	IT イタリア	NE ニジェール	YU ユーゴスラビア
CU キューバ	JP 日本	NL オランダ	ZA 南アフリカ共和国
CY キプロス	KE ケニア	NO ノルウェー	ZW ジンバブエ
CZ チェッコ	KG キルギスタン	NZ ニュー・ジーランド	
DE ドイツ	KP 北朝鮮	PL ポーランド	
DK デンマーク	KR 韓国	PT ポルトガル	
		RO ルーマニア	

明 細 書

撮像装置

技術分野

本発明は撮像装置に関し、例えばデジタルスチルカメラにおける光電変換素子により画像データを取り込み、これを撮像画像データとして記録媒体に記録した後、表示部に表示出力し得る撮像装置に適用して好適なものである。

背景技術

従来、CCD (Charge Coupled Device) 2次元固体撮像素子を用いたいわゆる電子カメラ (デジタルスチルカメラ) が知られている。この種のデジタルスチルカメラは、CCD 2次元固体撮像素子で取り込んだ静止画の画像データを撮像画像データとしてメモリカードや磁気ディスク、光磁気ディスク等の記録媒体に記憶することにより、通常のカメラで使用されるフィルムを不要としている。

例えばデジタルスチルカメラでは、撮像時にCCD 2次元固体撮像素子で取り込んだ被写体側の情景をビューファインダに再生出力し、ユーザがビューファインダの画像を確認してシャッター操作を行うと、その際に取り込んだ画像データを撮像画像として記録媒体に記録することができる。

そしてデジタルスチルカメラは、記録媒体に記録した画像データをビューファインダに再生出力したり、外部のテレビジョンモニタ機器、コンピュータ機器に出力して撮影写真のように表示することもできる。

ところでかかる構成のデジタルスチルカメラにおいては、CCD 2次元固体撮像素子によって取り込んだ1フレーム分 (1画像) の画像データを、そのままの画サイズ (画素数) で例えばメモリカード等の記録

媒体に記録してもよいが、記録媒体の容量の事情や、撮影可能枚数を多くしたい等の要望がある場合には、取り込んだ画像データに対して圧縮を行う等の画サイズ調整処理を実行している。

またデジタルスチルカメラは、表示画面の画素数の都合や、モニタ上で拡大表示又は縮小表示等を実現する場合にも、表示出力用の画像データに対して画サイズ調整処理を実行している。

しかしながらデジタルスチルカメラにおいては、記録用の画像データに対して画サイズ調整処理を実行する際に、単に画像データの画素を間引くことにより画サイズ調整処理を実行したのでは、エイリアシングが増大して画質を著しく劣化させてしまうという問題があった。

またデジタルスチルカメラにおいては、画質の劣化を避けるために高次のフィルタを用いることが考えられるが、この場合にはハードウェア規模が著しく増大してしまうという問題があった。

発明の開示

本発明は以上の点を考慮してなされたもので、ハードウェア規模を増大することなく表示用の画像データに対する画サイズ調整処理と、記録用の画像データに対する画サイズ調整処理とをそれぞれ好適に実行し得る撮像装置を提案しようとするものである。

かかる課題を解決するため本発明の撮像装置においては、撮像した画像を画像データとして出力する撮像手段と、撮像手段から出力された画像データに対して直線補間による画サイズ調整処理を行って表示出力用の画像データを生成する表示用画サイズ調整手段と、撮像手段から出力された画像データに対して曲線補間による画サイズ調整処理を行って記録媒体への記録用の画像データを生成する記録用画サイズ調整手段と、表示用画サイズ調整手段で画サイズ調整された画像データにより表示出力動作を実行する表示データ出力手段と、記録用画サイズ調整手段で画サイズ調整された画像データを記録媒体に記録する記録手段とを設け

るようにする。

従って、記録用の画像データに関しては、記録用画サイズ調整手段で曲線補間を用いた画サイズ調整処理を行うことにより画質劣化を防止して、高品質な画像データを記録媒体に記録できるという効果があると共に、表示用の画像データに関しては、直線補間を行う簡易な構成の表示用画サイズ調整手段を用いて画サイズ調整処理を行うことにより変換比の変更などにも容易に対応して、拡大表示や縮小表示などの多様な表示動作に対応できると共に、ビューファインダや、外部接続されるモニタ装置等の仕様にも容易に対応できる。

また、表示用画サイズ調整手段と記録用画サイズ調整手段では、画サイズ調整処理に用いるラインメモリが共有されるようにすることで、比較的規模の大きいラインメモリを有効利用でき、撮像装置におけるハードウェア規模の増大を最小限にとどめることができる。

また、記録用画サイズ調整手段における曲線補間は、画像データを N/M (但し、 M 、 N は互いに素な正の整数。つまり N/M は約分できない値としたとき) に補間する際に、周波数軸上における n/M (但し $n = 1, 2, \dots, M-1$)、 k/M (但し $k = 1, 2, \dots, N-1$) に零点を持つ特性となるフィルタリングを行うことで、画質劣化を良好に防止することができ、かくして記録データとしての品質を保つことに好適である。

図面の簡単な説明

図 1 は、直線補間の原理の説明に供する略線図である。

図 2 は、直線補間での周波数特性の説明に供する略線図である。

図 3 は、曲線補間の説明に供する略線図である。

図 4 は、曲線補間での周波数特性の説明に供する略線図である。

図 5 は、本実施の形態におけるデジタルスチルカメラの回路構成を示すブロック図である。

図 6 は、本実施の形態における記録用画サイズ調整部のフィルタ特性の説明に供する略線図である。

図 7 は、本実施の形態における記録用画サイズ調整部のフィルタリング概念の説明に供する略線図である。

図 8 は、本実施の形態における記録用画サイズ調整部の構成を示すブロック図である。

図 9 は、本実施の形態における記録用画サイズ調整部の Y 水平フィルタの回路構成を示すブロック図である。

図 10 は、本実施の形態における記録用画サイズ調整部の Y 垂直フィルタの回路構成を示すブロック図である。

図 11 は、本実施の形態における記録用画サイズ調整部の C 水平フィルタの回路構成を示すブロック図である。

図 12 は、本実施の形態における記録用画サイズ調整部の C 垂直フィルタの回路構成を示すブロック図である。

図 13 は、本実施の形態における記録用画サイズ調整部へ入力される入力データの説明に供する略線図である。

図 14 は、本実施の形態における Y 水平フィルタの動作の説明に供するタイミングチャートである。

図 15 は、本実施の形態における C 水平フィルタの動作の説明に供するタイミングチャートである。

図 16 は、本実施の形態における Y 水平フィルタ及び C 水平フィルタの出力タイミングの説明に供するタイミングチャートである。

図 17 は、本実施の形態における Y 垂直フィルタ及び C 垂直フィルタの動作の説明に供するタイミングチャートである。

図 18 は、本実施の形態における記録用画サイズ調整部の出力部の回路構成を示すブロック図である。

図 19 は、本実施の形態における記録用画サイズ調整部の出力部の動作の説明に供するタイミングチャートである。

図 2 0 は、本実施の形態における記録用画サイズ調整部の出力データの説明に供する略線図である。

図 2 1 は、本実施の形態における表示用画サイズ調整部の回路構成を示すブロック図である。

図 2 2 は、実施の形態における表示用画サイズ調整部の Y 水平フィルタの回路構成を示すブロック図である。

図 2 3 は、実施の形態における表示用画サイズ調整部の Y 垂直フィルタの回路構成を示すブロック図である。

図 2 4 は、実施の形態における表示用画サイズ調整部の C 水平フィルタの回路構成を示すブロック図である。

図 2 5 は、実施の形態における表示用画サイズ調整部の C 垂直フィルタの回路構成を示すブロック図である。

発明を実施するための最良の形態

以下図面について、本発明の一実施の形態を詳述する。ここでは、本発明の撮像装置としてのデジタルスチルカメラを次の順序で説明する。

1. 直線補間及び曲線補間
2. デジタルスチルカメラの回路構成
3. 記録用画サイズ調整部
4. 表示用画サイズ調整部

1. 直線補間及び曲線補間

本実施の形態におけるデジタルスチルカメラでは、後述する表示用画サイズ調整部 9 で直線補間による画サイズ調整を行い、また記録用画サイズ調整部 10 で曲線補間による画サイズ調整を行うものとする。まずここでは、直線補間及び曲線補間としてのフィルタリングについて説明する。

まず、図 1 及び図 2 を用いて直線補間の原理を説明する。ここでは説明上、入力データ X_n ($n = 1, 2, \dots$) を N/M に変換する場合として、 $M = 4$ 及び $N = 3$ すなわち入力データ X_n を $3/4$ に圧縮する例を挙げる。

図 1 a は、所定のサンプリング周波数 F_s でサンプルされ、その周波数のクロックレートで入力される入力データ X_1, X_2, \dots を示しており、当該入力データを周波数成分で見ると、図 2 a のようにサンプリング周波数 F_s を単位として繰り返す特性となっている。

このような入力データ X_n を $3/4$ (N/M) に直線補間で縮小することは、図 1 b に示すように、まずクロックレートが N, M の最小公倍数となるように入力データ（画素データ）のサンプルポイントを 3 倍（ N 倍）にそれぞれ設定し、各サンプルポイントにおける入力データ X_n 間の距離比に基づいて対応するデータ（□印や△印）を求め、さらに図 1 c に示すように $1/4$ ($1/M$) に間引くことと等価である。

また図 1 b において、各サンプルポイントの下方に示した数字は、そのサンプルポイントの両側の入力データ（ X_n と X_{n+1} ）に対する距離比であり、この距離比をフィルタ係数と見なすことができる。

そして図 1 c において、 $3/4$ に縮小されたデータ Y_1, Y_2, \dots についてみると、まずデータ Y_1 については、図 1 a の入力データ X_1, X_2 に対して図 1 b のように距離比（3、0）のポイントであるため、
 $Y_1 = (3 \cdot X_1 + 0 \cdot X_2) / 3$ となる。同様に、 Y_2, Y_3, Y_4 についても入力データ X_n と距離比との関係から、

$$Y_2 = (2 \cdot X_2 + 1 \cdot X_3) / 3$$

$$Y_3 = (1 \cdot X_3 + 2 \cdot X_4) / 3$$

$$Y_4 = (3 \cdot X_5 + 0 \cdot X_6) / 3$$

となることが理解される。

即ち、この直線補間は 3 倍のサンプルポイントとなる位置に 0 データを挿入して $(1, 1, 1) (1, 1, 1) = (1, 2, 3, 2, 1)$ の

ディジタルフィルタリングを行ったものと等しいことになる。

周波数特性でみると、図 2 b のようにサンプリング周波数の $3 F_s$ を「1」として正規化した場合の F_s 、 $2 F_s$ に相当するポイント、つまり $1/3$ 、 $2/3$ のポイントに 2 重の零点を持つものとなる。

また $1/M$ に間引いた出力データ Y_1 、 Y_2 ……については、図 2 c のように $(3/4) F_s$ を単位として繰り返す特性となる。以上のことから分かるように、 N/M の直線補間をフィルタ特性として見ると、入力データのサンプリング周波数 F_s の k/N 倍 ($k = 1, 2, \dots, N-1$) に 2 重の零点を持つフィルタであり、このフィルタ特性に「M」は関与していない。

このため N/M の変換比が 1 から離れると、すなわち縮小率が大きくなると $1/M$ で再サンプルした結果発生するエイリアシングが減衰せず、画像データの場合は画質劣化が著しくなる。

次に、図 3 及び図 4 を用いて曲線補間の原理を説明するが、同じく入力データ X_n ($n = 1, 2, \dots$) を N/M に変換する場合として、 $M = 4$ 及び $N = 3$ すなわち入力データ X_n を $3/4$ に圧縮する例を挙げる。

この場合は、図 3 a のように所定のサンプリング周波数 F_s でサンプルされ、その周波数のクロックレートで入力される入力データ X_1 、 X_2 ……について、図 3 b のように 0 データ挿入により N 倍 (3 倍) したデータに対して、サンプリング周波数 F_s の k/N 倍 ($k = 1, 2, \dots, N-1$) 及び n/M 倍 ($n = 1, 2, \dots, M-1$) の周波数ポイントに零点を持つようにフィルタリングを行う。

そして図 3 c のように、 $1/M$ に間引くことになるが、図 3 b に示した距離比をフィルタ係数とみることができるため、

$$Y_1 = (3 \cdot X_1 + 1 \cdot X_2) / 4$$

$$Y_2 = (2 \cdot X_2 + 2 \cdot X_3) / 4$$

$$Y_3 = (1 \cdot X_3 + 3 \cdot X_4) / 4$$

$$Y_4 = (3 \cdot X_5 + 1 \cdot X_6) / 4$$

となる。

即ち、 $M=4$ 及び $N=3$ の場合は $(1, 1, 1, 1) (1, 1, 1)$
 $= (1, 2, 3, 3, 2, 1)$ のデジタルフィルタリングを行ったもの
 と等しいことになる。

周波数特性で見ると、図 4 a のようにサンプリング周波数 F_s を単位
 として繰り返す入力データ X_n の特性、及び図 4 c の出力データ Y_n の
 特性に対して、図 4 b のようにサンプリング周波数の $3 F_s$ を「1」と
 して正規化した場合の k/N 倍 ($k=1, 2, \dots, N-1$) 及び n/M
 倍 ($n=1, 2, \dots, M-1$) の周波数ポイントに零点を持つようなフ
 ィルタリング特性となる。

これは即ち、図 4 a の入力データのキャリア成分を抑圧すると共に、
 図 4 c の $1/M$ に間引かれた後にキャリアとなる周波数成分をも抑圧す
 るフィルタ特性となる。従って、 N 及び M の値がどのように設定されて
 いても（変換比がいくらであっても）、エイリアシングを減衰させるこ
 とができ、画像データで見れば視覚上目立つ低周波への折り返し（エイ
 リアシング）が減衰され、画質劣化を抑えることができる。

以上のことから、直線補間及び曲線補間において N/M に補間する場
 合のフィルタは次のようになる。まず直線補間は、次式

【数 1】

$$\left[\sum_{k=0}^{N-1} z^{-k} \right]^2$$

..... (1)

となり、これは $N=3$ の場合、

$$\begin{aligned} (1 + z^{-1} + z^{-2})^2 &= (1, 1, 1) (1, 1, 1) \\ &= (1, 2, 3, 2, 1) \end{aligned}$$

となって上記例の通りである。

また曲線補間は、次式

【数 2】

$$\sum_{n=0}^{M-1} z^{-n} \sum_{k=0}^{N-1} z^{-k}$$

..... (2)

となり、これも $N=3$ 、 $M=4$ の場合に上記例のように

$$\begin{aligned} & (1 + z^{-1} + z^{-2} + z^{-3}) (1 + z^{-1} + z^{-2}) \\ &= (1, 1, 1, 1) (1, 1, 1) \\ &= (1, 2, 3, 3, 2, 1) \end{aligned}$$

となる。

この (1) 式及び (2) 式で表されるフィルタを係数時変のポリフェーズフィルタで構成する場合、当該ポリフェーズフィルタのタップ数 T は次のようになる。

まず直線補間の場合、タップ数 T は

$$\begin{aligned} T &= (2N - 1) / N \\ &= 2 - (1 / N) < 2 \end{aligned}$$

すなわち、タップ数 T は 2 よりも必ず小さくなるため、変換比 N/M をどのような値にしても、2 タップで構成できる。

つまり直線補間のためのフィルタは、簡易な構成であってかつ変換比の異なる補間処理に対してフレキシビリティの高い回路とすることができ、変換比を変える場合でも係数設定の変更などによって容易に対応することができる。

一方、曲線補間の場合、タップ数 T は

$$T \geq (M + N - 1) / N$$

を満たす整数 T となり、 M 及び N の値つまり変換比によって必要なタップ数が異なるものとなる。

タップ数 T から M の値を考えると、

$$M \leq (T - 1) N + 1$$

となり、タップ数 $T = 2$ の場合、 M は $M \leq N + 1$ を満たす整数、タップ数 $T = 3$ の場合、 M は $M \leq 2N + 1$ を満たす整数である。

即ち、 N/M の変換比を $N/(N + 1)$ よりも縮小させる場合は、フィルタに必要なタップ数が増えることになる。

以上のことから、画像データに対して (1) 式のフィルタリングによる直線補間を行う場合は、変換比が 1 から離れるに従って画質劣化が著しくなるが、各種の変換比の切り換えが容易でかつ回路構成も簡単なものとなる。

また画像データに対して (2) 式のフィルタリングによる曲線補間を行う場合は、変換比に係わらず高品質な画質を維持できるが、一方で変換比に応じて必要なタップ数も異なるので、各種の変換比の切り換えを容易に実現するための回路構成としてはやや複雑なものとなる。

2. デジタルスチルカメラの回路構成

以上のような直線補間及び曲線補間を利用した本発明におけるデジタルスチルカメラ 1 の回路構成を図 5 を用いて詳細に説明する。

デジタルスチルカメラ 1 のレンズ系 2 は、ズームレンズ、フォーカスレンズ等のレンズと、これらレンズを駆動してフォーカス調整、ズーム調整、アイリス調整を行うレンズドライバとが設けられている部位である。

デジタルスチルカメラ 1 は、まずレンズ系 2 を介して入射した光線を光電変換素子である CCD (Charge Coupled Device) 2 次元固体撮像素子 3 (以下、これを単に CCD と呼ぶ) に結像する。CCD 3 は、光電変換素子が垂直及び水平方向にマトリクス

状に配置されることにより2次元の撮像領域が形成され、当該撮像領域を介して1H（Hは水平走査期間）内に1フレーム分の信号電荷を読み出し、これを画像データとしてCDS（Correlated Double Sampling：相関二重サンプリング）及びA/D（Analog/Digital）変換回路4に供給する。

タイミング発生部6は、CCD3を駆動するための基準タイミングを生成すると共に、当該基準タイミングに基づいて垂直走査信号及び水平走査信号をCCD3に対して出力することにより、CCD3の撮像操作を制御するようになされている。またタイミング発生部6は、垂直走査信号及び水平走査信号の設定制御等によって1チャンネル読出/2チャンネル読出の切り換えを行うようになされている。

CDS及びA/D変換回路4は、画像データに対して相関二重サンプリングと呼ばれるサンプル/ホールド動作を行う。この相関二重サンプリングとは、CCD3の出力としてプリチャージレベル（黒レベル）とデータレベル（信号レベル）とが交互に出力されることから、プリチャージレベルとデータレベルとを各々個別にサンプリングし、その差分をとることで通常の映像信号の状態にするものである。

そしてCDS及びA/D変換回路4は、このような相関二重サンプリングを行った後、ゲイン調整、ダイナミックレンジ調整及びA/D変換処理を行うことによりディジタル画像データを生成し、これを次段のDSP（Digital Signal Processor）5に供給する。

DSP5は、ディジタル画像データに対して補正処理、色分離、ホワイトバランス調整、ガンマ補正等の処理を行い、カラーマトリクス処理でR（Red）/G（Green）/B（Blue）信号を抽出した後、当該R/G/B信号に対してY信号生成、各種Y信号処理、クロマ信号生成及び各種色信号処理を行って、輝度信号Y及び色差信号CR（ $= R - Y$ ）、CB（ $= B - Y$ ）という形態で出力する。

ここで、出力される輝度信号Y、色差信号CR、CBのデータ量における比率は、4 : 2 : 2の形態である。

またDSP5は、輝度信号Y及び色差信号CR、CBについての垂直同期信号、水平同期信号や後述する水平有効映像期間信号(XDPHEN)、垂直有効映像期間信号(XDPVEN)等を生成し、これらを所要部位に供給する。

ここまでのレンズ系2、タイミング発生部6、CDS及びA/D変換回路4及びDSP5は、カメラコントローラ8によってその動作が制御される。すなわちカメラコントローラ8は、マイクロコンピュータによって形成され、主に撮像動作に関する制御を実行すると共に、当該制御のための各種定数や設定値等を内部メモリもしくはEEPROM(Electrically Erasable Programmable Read-Only Memory)でなる外部メモリに保存するようになされている。

またカメラコントローラ8は、インターフェースコントローラ23を介して操作部24の操作を監視している。この操作部24には、ユーザが操作する各種キーやスイッチが設けられており、例えばパワーオフ/撮像モード/再生モードを切り換えるメインスイッチ、撮像のためのリリースボタン(シャッターボタン)、ズーム操作キー、フォーカスモード操作キー及びストロボ発光モードキー等である。

従ってカメラコントローラ8は、これらの操作キーやスイッチに応じてレンズ系2におけるズーム動作、フォーカス動作及びアイリス調整動作等を指示したり、撮影時の基準となるタイミングをタイミング発生部6に指示したり、CDS及びA/D変換回路4に設定すべきゲイン値等を与え、さらにDSP5における各種処理の制御を行うようになされている。

さらにカメラコントローラ8は、DSP5における処理タイミングを制御することにより、DSP5においてCCD3から出力される画像デ

ータに同期した状態で信号処理を実行し得ると共に、ストロボ発光モードにおいてはリリースボタンの操作に同期してストロボユニットの駆動を制御し得るようになされている。

DSP 5 から出力された画像データ（輝度信号 Y、色差信号 CR 及び CB）は、表示用画サイズ調整部 9 に供給される。表示用画サイズ調整部 9 は、供給された画像データに対して直線補間処理（詳しくは後述する）による画サイズ調整処理（縮小又は拡大）を行うことにより表示する際の画像データを生成し、これをビデオ RAM（Random Access Memory）コントローラ 11 に供給する。

ビデオ RAM コントローラ 11 は、画サイズ調整処理された画像データをビデオ RAM 12 に書き込んだ後、所定のタイミングで再度ビデオ RAM 12 から読み出してビデオエンコーダ 13 に供給する。

ビデオエンコーダ 13 は、供給された画像データに対して RGB エンコード処理及びデジタル／アナログ変換処理等を行うことによりビデオ信号を生成し、これをビデオ出力部 14 から外部モニタ装置（図示せず）に供給して画像表示するようになされている。

ところでビデオエンコーダ 13 は、表皮する画像にキャラクタ画像を重畳する場合には、発生したキャラクタ画像信号をビデオ信号に重畳して出力する。

またビデオエンコーダ 13 は、ビデオ信号をデコーダ／ドライバ 15 に供給する。デコーダ／ドライバ 15 は、ビデオ信号の RGB 画像信号に対してデコード処理を行い、インターレース方式による表示駆動を行うことにより、例えばビューファインダとしての LCD（Liquid Crystal Display）でなる液晶表示部 16 において、撮影時の画像つまり被写体から CCD 3 によって取り込んだ画像をユーザがモニタし得るようになされている。

また DSP 5 から出力される画像データは、記録用画サイズ調整部 10 を介して、もしくは直接 DRAM（Dynamic Random

Access Memory) コントローラ 17 に供給される。

DRAM コントローラ 17 は、DSP 5 から出力された画像データを DRAM 18 に書き込む。ここで DRAM 18 に書き込まれた画像データは、記録媒体である PC (Personal Computer) カード 25 に対する記録データとして扱われる。

従ってディジタルスチルカメラ 1 は、データ量を少なくして記録する場合、記録用画サイズ調整部 10 によって曲線補間フィルタリング（詳しくは後述する）による画サイズ調整処理を施すことによって画サイズを縮小するようになされている。

JPEG (Joint Photographic Experts Group) コントローラ 19 及び JPEG 処理回路 20 は、DRAM 18 に記憶された画像データに対して JPEG 方式による画像圧縮を行ったり、また逆に圧縮処理された画像データを元のデータに伸長する。

實際上、記録時において JPEG コントローラ 19 は、DRAM 18 に記憶された画像データを JPEG 処理回路 20 に供給して圧縮処理を実行した後、DRAM 22 に格納し、所定タイミングで DRAM 22 から読み出してインターフェースコントローラ 23 を介して PC カード 25 に記録する。

また再生時において JPEG コントローラ 19 は、インターフェースコントローラ 23 により PC カード 25 から読み出した画像データを DRAM 22 に一旦格納し、これを JPEG 処理回路 20 に供給して伸長処理を行った後、表示用画サイズ調整部 9 に供給する。

メインコントローラ 21 は、これらの各部の全体の制御を実行する部位であり、制御動作のための各種定数や設定値等を内部メモリ又は EEPROM でなる外部メモリに保持している。従ってメインコントローラ 21 は、操作部 24 の操作に応じてモニタ動作、記録動作及び再生動作の制御を行うようになされている。

ここでメインコントローラ 21 の制御によって各部の動作で実行され

るモニタ動作、記録動作及び再生動作は次のようになる。

モニタ動作とは、記録動作のためにユーザが被写体を選択している期間の動作であり、即ちこの期間はCCD 3で撮像される画像を液晶表示部 16もしくはビデオ出力部 14に接続された外部モニタ装置に表示する動作が行われることになる。

このためメインコントローラ 21は、カメラコントローラ 8に対して撮像動作を指示すると共に、表示用画サイズ調整部 9及びビデオRAMコントローラ 11～液晶表示部 16までの各部において表示のための動作を指示するようになされている。

記録動作とは、ユーザのシャッタ操作に応じて実行される画像記録動作である。即ち、まず操作部 24のシャッタ操作がインターフェースコントローラ 23によって検出されてメインコントローラ 21及びカメラコントローラ 8に伝達される。

このときカメラコントローラ 8は、DSP 5で検出された輝度レベルを確認して必要であればストロボ 7を発光させ、またCCD 3から記録画としての画像データを出力させるようにタイミング発生部 6に指示する。

CCD 3、CDS及びA/D変換回路 4、DSP 5を介して出力された画像データは、必要に応じて記録用画サイズ調整部 10で画サイズ調整処理が施された後DRAM 18に格納される。そしてDRAM 18にフレーム画像が蓄積されると、上述したようにJPEGコントローラ 19はDRAM 18に蓄積された画像データをJPEG処理回路 20に供給して圧縮処理を実行させた後、DRAM 22に格納する。

このときメインコントローラ 21は、DRAM 22に格納された画像データをインターフェースコントローラ 23を介してPCカード 25に記録するよう制御する。

再生動作とは、PCカード 25に記録されていた画像データをユーザの操作に応じて再生表示させる動作である。即ちメインコントローラ 2

1 は、ユーザの操作に応じてインターフェースコントローラ 23 により P C カード 25 から所要の画像データを読み出して D R A M 22 に格納する。

すると J P E G コントローラ 19 は、上述したように D R A M 22 に格納した画像データに対して J P E G 処理回路 20 で伸長処理を施し、当該伸長処理を施した画像データを D R A M コントローラ 17 を介して表示用画サイズ調整部 9 に供給する。

表示用画サイズ調整部 9 は、供給された画像データに対して必要な画サイズ調整処理を施した後、これを表示用の画像データとしてビデオ出力部 14 に接続された外部モニタ装置や、液晶表示部 16 を介して表示する。これによりユーザは、P C カード 25 に記録しておいた画像を外部モニタ装置や、液晶表示部 16 を介して確認することができる。

3. 記録用画サイズ調整部

このデジタルスチルカメラ 1 において記録し得る記録画像データの最大サイズは、水平-垂直方向に 1360×1020 画素であり、これは C C D 3 により取り込まれる画像データとしてのサイズである。

ここで、P C カード 25 に画像データを記録することに関しては、もちろん 1360×1020 画素の画像データをそのまま用いて J P E G 圧縮した後に記録するようにしてもよいが、P C カード 25 の記録容量を考えると画サイズの大きな画像データを記録した場合には記録枚数が少なくなる。

そこで本実施の形態では、1 枚の画像データに関して画サイズを縮小して記録することにより、記録枚数を多くできるモードを用意している。例えば、C C D 3 から取り込んだ 1360×1020 画素の画像データを 640×480 画素の画像データに縮小してから J P E G 圧縮を行って P C カード 25 に記録するようになされており、このような画サイズ変換を記録用画サイズ変換部 10 で実行する。なお、この場合の縮小

比率は $8/17$ である。

實際上、記録用画サイズ調整部 10 では $8/17$ の画サイズ変換を可能とするが、特に図 3、図 4 及び (2) 式で説明した曲線補間としてのフィルタリングによって画サイズ縮小を行うことにより、大きな画質劣化が生じないようになされている。

この場合、 $N/M = 8/17$ であることから、(2) 式におけるフィルタの最小構成は (1, 1, 1, 1, 1, 1, 1, 1) (1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1) と表すことができる。

このフィルタの特性は、図 6 に示すようになる。この図 6 において横軸 (周波数軸) は、サンプリング周波数 $F_s = 8$ として正規化した値としている。そして図 6 には、周波数 0.00 ~ 4.00 [MHz] の範囲だけを示しているが、4.00 ~ 8.00 [MHz] の範囲については図示した特性が折り返されたものとなる。

この図 6 から分かるように、「N」即ち「8」に関与するポイントとして、サンプリング周波数 F_s の $1/8$ 、 $2/8$ 、 $3/8$ 、 $4/8$ 及び 4.00 ~ 8.00 [MHz] の範囲として図示していないがサンプリング周波数 F_s の $5/8$ 、 $6/8$ 、 $7/8$ 、 $8/8$ の各ポイントに零点を持つフィルタ特性となる。これは即ちフィルタへの入力データのキャリア成分を抑圧する特性となる。

また図 6 から分かるように、「M」即ち「17」に関与するポイントとして、サンプリング周波数 F_s の $1/17$ 、 $2/17$ 、 $3/17$ 、 $4/17$ 、 $5/17$ 、 $6/17$ 、 $7/17$ 、 $8/17$ 及び 4.00 ~ 8.00 [MHz] の範囲として図示していないがサンプリング周波数 F_s の $9/17$ 、 $10/17$ 、 $11/17$ 、 $12/17$ 、 $13/17$ 、 $14/17$ 、 $15/17$ 、 $16/17$ 、 $17/17$ の各ポイントに零点を持つフィルタ特性となる。これは即ち、間引き後にキャリアとなる周波数成分を抑圧するフィルタ特性となる。

従って記録用画サイズ調整部 10 は、 $8/17$ の縮小を行うことに関して、エイリアシングを減衰させることができ、つまり縮小された画像データにおいて視覚上目立つ低周波への折り返し（エイリアシング）が減衰されたものとなり、画質劣化を抑えた画サイズ調整を実現できる。

また、このフィルタに必要なタップ数 T は、 $N=8$ 、 $M=17$ であることから、

$$T \geq (17 + 8 - 1) / 8 = 3$$

となるため 3 タップが必要となる。

次に、 $8/17$ の画サイズ調整を行うフィルタリングの概念を図 7 に示す。ここで $[0]$ 、 $[1]$ 、 $[2]$ ……の $[]$ の数字は、それぞれ 1 つのデータを示している。そのデータとして、図 7 a はフィルタに入力される輝度信号としての入力データ Y_{in} 、及び処理後の出力データ Y_{out} を示しており、図 7 b はフィルタに入力される色差信号としての入力データ C_{in} 、及び処理後の出力データ C_{out} を示している。但し、色差信号については CB 又は CR の一方のみで示しているため、入力データのタイミング間隔は輝度信号の 2 倍としている。

また $coef(0) \sim coef(7)$ は、係数時変のポリフェーズフィルタとしての係数を示している。例えば、3 タップで得られる輝度信号の入力データ Y_{in} のデータ $[2]$ $[3]$ $[4]$ に対しては係数 $coef(0)$ が乗算される。具体的にはデータ $[2]$ に対して $coef(0(1))$ の値が乗算され、データ $[3]$ に対して $coef(0(2))$ の値が乗算され、データ $[4]$ に対して $coef(0(3))$ の値が乗算され、そして各乗算値が加算されて出力データ $Y_{out}[1]$ が得られる。

なお出力データの下部にそれぞれ示した数値（例えば出力データ $Y_{out}[1]$ についての $-3/8$ ）は、図中矢印の量としての中心タイミングからのずれ量を表し、これは上述したように演算係数と見なせる値である。

この図7から分かるように、輝度信号としての入力データYinは、入力データ〔0〕～〔17〕について、8/17に縮小された出力データYout〔0〕～〔8〕が得られる。また色差信号としての入力データCinは、入力データ〔0〕～〔32〕について、8/17に縮小された出力データCout〔0〕～〔13〕が得られる。

そして、これらの出力データYout〔0〕～〔8〕及びCout〔0〕～〔13〕については、それぞれ3タップの入力データから下部に示した係数が与えられていることで曲線補間が実現されているものとなる。

以下、本実施の形態における記録用画サイズ調整部10の構成及び動作について説明する。

図8は、記録用画サイズ調整部10の内部構成を示し、フィルタ部31、制御部32及び出力部33が設けられている。

フィルタ部31は、DSP5から輝度データとしての入力データYin及び色差データとしての入力データCinの供給を受ける。

フィルタ部31では、Y水平フィルタ31YHによって入力データYinに対して水平方向のフィルタリングを施すことによりデータYf1を生成し、これをY垂直フィルタ31YVによって垂直方向のフィルタリングを施すことによりデータYf2を生成して出力部33に供給する。

ここで入力データYinは、1360×1020画素のデータであり、データYf2は8/17に縮小された640×480画素のデータである。

またフィルタ部31では、C水平フィルタ31CHによって入力データCinに対して水平方向のフィルタリングを施すことによりデータCf1を生成し、これをC垂直フィルタ31CVによって垂直方向のフィルタリングを施すことによりデータCf2を生成して出力部33に供給する。

ここで入力データ C_{in} は、 680×1020 画素の CB データ及び 680×1020 画素の CR データからなる 2 チャンネルのデータであり、データ C_{f2} は $8/17$ に縮小された 320×480 画素の CB データ及び 320×480 画素の CR データからなる 2 チャンネルのデータである。

Y 水平フィルタ 31 YH 、 Y 垂直フィルタ 31 YV 、 C 水平フィルタ 31 CH 及び C 垂直フィルタ 31 CV は、それぞれ 3 タップの 8 ポリフェーズフィルタであり、各フィルタに対して乗算係数として 8 ビット値の $coef10 \sim 17$ 、 $coef20 \sim 27$ 、 $coef30 \sim 37$ が共通に供給され、後述する内部レジスタにセットされる。

出力部 33 は、データ Y_{f2} 及びデータ C_{f2} を後段の $DRAM18$ に書き込むためのタイミング調整（位相調整）を実行し、当該タイミング調整されたデータを出力データ Y_{out} 及び C_{out} としてメモリライトイネーブル信号 $MWEN0$ と共に $DRAM$ コントローラ 17 に供給することにより、データ Y_{out} 及び C_{out} を $DRAM18$ に書き込むようになされている。

制御部 32 は、フィルタ部 31 及び出力部 32 に対して各種タイミングを規定する信号を出力する。實際上、制御部 32 は $DSP5$ からの水平有効映像期間信号 $XDPHEN$ 及び垂直有効映像期間信号 $XDPEVN$ に基づいて各種信号を生成する。即ち制御部 32 は、水平有効映像期間信号 $XDPHEN$ 及び垂直有効映像期間信号 $XDPEVN$ が共に「 L 」レベルの期間において、次に説明する各タイミング信号でフィルタ部 31 及び出力部 32 の動作を実行させる。

まず制御部 32 は、フィルタ部 31 に対して $8/17$ の縮小変換のための間引きタイミング信号 $YHEN$ 、 $CHEN$ 及び $YCVEN$ を供給すると共に、係数制御信号 $YHCN$ 、 $YVCN$ 、 $CHCN$ 及び $CVCN$ を供給する。

間引きタイミング信号 $YHEN$ は、 Y 水平フィルタ 31 YH における

入力データ Y_{in} に対する水平方向の間引きタイミングを規定する。

間引きタイミング信号 $CHEN$ は、 C 水平フィルタ 31 CH における入力データ C_{in} に対する水平方向の間引きタイミングを規定する。

間引きタイミング信号 $YCVEN$ は、 Y 垂直フィルタ 31 YV 及び C 垂直フィルタ 31 CV における各垂直方向の間引きタイミングを規定する。

係数制御信号 $YHCN$ は、ポリフェーズフィルタとしての Y 水平フィルタ 31 YH における係数アドレスであり、つまり係数 $coef10 \sim 17$ 、 $coef20 \sim 27$ 、 $coef30 \sim 37$ をそれぞれ 8 段階に順次切り換える制御を行うための信号である。

係数制御信号 $YVCN$ 、 $CHCN$ 及び $CVCN$ も同様であり、それぞれ Y 垂直フィルタ 31 YV 、 C 水平フィルタ 31 CH 及び C 垂直フィルタ 31 CV に対する係数アドレスである。

また制御部 32 は、出力部 33 に対してセレクト信号 $YSEL$ 、 $CSEL$ 、メモリライトイネーブル信号 $MWHEN$ 、 $MWVEN$ を供給する。

セレクト信号 $YSEL$ 及び $CSEL$ は、出力部 33 におけるデータ並び替えの制御信号となる。

メモリライトイネーブル信号 $MWHEN$ 及び $MWVEN$ は、それぞれ $DRAM$ コントローラ 17 に供給するメモリライトイネーブル信号 $MWENO$ の元となる水平成分及び垂直成分である。

続いて、 Y 水平フィルタ 31 YH 、 Y 垂直フィルタ 31 YV 、 C 水平フィルタ 31 CH 及び C 垂直フィルタ 31 CV のそれぞれの回路構成を図 9 ～ 図 12 に示すと共に、図 13 ～ 図 17 のタイミングチャートを用いてフィルタ部 31 の動作を説明する。

まず図 13 には、入力データ Y_{in} 及び C_{in} を示し、 $Y : CB : CR$ が 4 : 2 : 2 の割合となっている。従って、クロック CK のタイミングで $DSP5$ から入力データ Y_{in} として各 8 ビットのデータ $Y0$ 、 Y

1、Y2……が供給されると共に、クロックCKのタイミングで入力データCinとして各8ビットのデータCB0、CR0、CB2、CR2、CB4、CR4……が供給される。

入力データYinについては、図9に示す構成のY水平フィルタ31YHに入力され、図14のタイミングチャートに示すように処理されることになる。なお図14における処理は、水平有効映像期間信号XDPHENが「L」の期間に行われることになる。

図9においてY水平フィルタ31YHは、ラッチ回路51a、51b及び51cによって構成されるシフトレジスタ51を有し、各ラッチ回路51a、51b及び51cで入力データYinに対して1クロックタイミングの遅延を行うことにより、3タップのデータSR1y、SR2y及びSR3yを得、これらをスイッチ52a、52b及び52cを介してラッチ回路53a、53b及び53cに供給する。すなわち、図13に示した入力データYinに対してデータSR1y～SR3yはそれぞれ図14に示すような関係になる。

ラッチ回路53a、53b及び53cは、ラッチ出力データMI1y、MI2y及びMI3yを乗算器54a、54b及び54cに供給する。ここでスイッチ52a、52b及び52cは、間引きタイミング信号YHENによって切り換えられることになる。すなわち、スイッチ52a、52b及び52cによってラッチ回路53a、53b及び53cへの入力データがデータSR1y、SR2y及びSR3yと、ラッチ出力データMI1y、MI2y及びMI3yとの間で選択されることで、ラッチ回路53a、53b及び53cのラッチ出力データMI1y、MI2y及びMI3yとしては、データの間引きが行われた状態となる。

即ち時間の進行に伴って、図14に示す間引きタイミング信号YHENのタイミングでラッチ出力データMI1y、MI2y及びMI3yが、(Y1、Y0、Y-1)→(Y4、Y3、Y2)→(Y6、Y5、Y4)→……と切り換えられることになり、つまり図7aの上段に示した

ように間引きされた3タップのデータが得られることになる。

一方、レジスタ55a、55b及び55cには、それぞれ乗算係数として8ビット値のcoef10~17、coef20~27、coef30~37がセットされており、制御部32から供給される係数制御信号(係数アドレス)YHCNに応じて乗算器54a、54b及び54cへ供給する乗算係数を切り換えるようになされている。

即ち図14に示すように、係数制御信号YHCN=0のときは、レジスタ55a、55b及び55cからcoef10、coef20及びcoef30が出力され、乗算器54a、54b及び54cでそれぞれラッチ出力データMI1y、MI2y及びMI3yと乗算される。つまり、このとき乗算器54aで $Y1 \times \text{coef}10$ 、乗算器54bで $Y0 \times \text{coef}20$ 、乗算器54cで $Y-1 \times \text{coef}30$ という乗算が行われる。

また係数制御信号YHCN=1のときは、レジスタ55a、55b及び55cからcoef11、coef21及びcoef31が出力され、従ってこのときは乗算器54aで $Y4 \times \text{coef}11$ 、乗算器54bで $Y3 \times \text{coef}21$ 、乗算器54cで $Y2 \times \text{coef}31$ という乗算が行われる。

以下同様に、乗算係数が切り換られていくと共に、それぞれラッチ出力データMI1y、MI2y及びMI3yと乗算されていく。

そして乗算器54a、54b及び54cの出力は、加算器56及び57で加算され、丸め処理部58で丸め処理された後、ラッチ回路59a及び59bからなるタイミング調整部59を介してデータYf1として出力される。

例えば、 $(Y1 \times \text{coef}10) + (Y0 \times \text{coef}20) + (Y-1 \times \text{coef}30) = YH00$ とされ、また $(Y4 \times \text{coef}11) + (Y3 \times \text{coef}21) + (Y2 \times \text{coef}31) = YH03$ とされ……というように、図14に示すデータYf1(=YH00、YH03、Y

H O 5 ……) が出力される。

このデータ Y f 1 は、水平方向に画サイズ調整されたデータであり、640×1020画素のデータとなり、次段のY垂直フィルタ31YVに供給されることになる。

なおタイミング調整部59は、データYf1と、後述するC水平フィルタ31CHからの出力データCf1とのタイミングを調整するものであり、データYf1からの出力を所定期間遅延する。また図14に示すようにタイミング調整部59は、データYf1に対してメモリライトイネーブル信号Y-MWENを形成し、当該メモリライトイネーブル信号Y-MWENに基づいてC水平フィルタ31CHからの出力データCf1と同期したタイミングでデータYf1を出力するようになされている。

次に、図11に示すようにC水平フィルタ31CHは、ラッチ回路81a、81b1、81b2、81c1及び81c2によって構成されるシフトレジスタ81を有し、ラッチ回路81aで1クロックタイミングの遅延を行い、ラッチ回路81b1、81b2及びラッチ回路81c1、81c2でそれぞれ2クロックタイミングの遅延を行うことにより、3タップのデータSR1c、SR2c及びSR3cを得、これらをスイッチ82a、82b及び82cを介してラッチ回路83a、83b及び83cに供給する。すなわち、図13に示した入力データCinに対してデータSR1c～SR3cは図15に示すようになり、つまりデータCB、CRを一對として2クロックずつ遅延されたデータとなる。

ラッチ回路83a、83b及び83cは、ラッチ出力データMI1c、MI2c及びMI3cを乗算器84a、84b及び84cに供給する。ここでスイッチ82a、82b及び82cは、間引きタイミング信号CHENによって切り換えられることになる。すなわち、スイッチ82a、82b及び82cによってラッチ回路83a、83b及び83cへの入力データがデータSR1c、SR2c及びSR3cと、ラッチ出力

データMI1c、MI2c及びMI3cとの間で選択されることで、ラッチ回路83a、83b及び83cのラッチ出力データMI1c、MI2c及びMI3cとしては、データの間引きが行われた状態となる。

つまり時間の進行に伴って、図15に示す間引きタイミング信号CHENのタイミングでラッチ出力データMI1c、MI2c及びMI3cが切り換えられていく。但しこの場合は、間引きタイミング信号CHENが2クロック周期の期間のパルスとされていることにより、一对のデータCB、CRがまとめて選択されることになる。

これによりラッチ出力データMI1c、MI2c及びMI3cとしては、(CB2、CB0、CB-2) → (CR2、CR0、CR-2) → (CB6、CB4、CB2) → (CR6、CR4、CR2) ……と切り換えられていくことになり、つまり図7bの上段に示したように間引きされた3タップのデータが得られることになる。

一方、レジスタ85a、85b及び85cには、上述のY水平フィルタ31YHのレジスタ55a、55b及び55cと同様に、それぞれ乗算係数として8ビット値のcoef10~17、coef20~27、coef30~37がセットされており、制御部32から供給される係数制御信号(係数アドレス)CHCNに応じて乗算器84a、84b及び84cへ供給する乗算係数を切り換えるようになされている。

即ち図15に示すように、係数制御信号CHCN=0のときは、レジスタ85a、85b及び85cからcoef10、coef20及びcoef30が出力され、乗算器84a、84b及び84cでそれぞれラッチ出力データMI1c、MI2c及びMI3cと乗算される。つまり、このとき乗算器84aで $CB2 \times coef10$ 、乗算器84bで $CB0 \times coef20$ 、乗算器84cで $CB-2 \times coef30$ という乗算が行われる。

また係数制御信号CHCN=1のときは、レジスタ85a、85b及び85cからcoef11、coef21及びcoef31が出力され

、従ってこのときは乗算器84aで $CR2 \times coef11$ 、乗算器84bで $CR0 \times coef21$ 、乗算器84cで $CR-2 \times coef31$ という乗算が行われる。

さらに係数制御信号CHCN=2となる次のタイミングでは、レジスタ85a、85b及び85cから $coef12$ 、 $coef22$ 及び $coef32$ が出力され、従ってこのときは乗算器84aで $CB6 \times coef12$ 、乗算器84bで $CB4 \times coef22$ 、乗算器84cで $CB2 \times coef32$ という乗算が行われる。

以下同様に、乗算係数が切り換わられていくと共に、それぞれラッチ出力データMI1c、MI2c及びMI3cと乗算されていく。

そして乗算器84a、84b及び84cの出力は、加算器86及び87で加算され、丸め処理部88で丸め処理された後、ラッチ回路89を介してデータCf1として出力される。

例えば、 $(CB2 \times coef10) + (CB0 \times coef20) + (CB-2 \times coef30) = CBO0$ となり、また $(CR2 \times coef11) + (CR0 \times coef21) + (CR-2 \times coef31) = CRO0$ となり、 $(CB6 \times coef12) + (CB4 \times coef22) + (CB2 \times coef32) = CBO4$ となって、図15に示すデータCf1(=CBO0、CRO0、CBO4、CRO4……)が出力される。

このデータCf1は、水平方向に画サイズ調整されたデータであり、CBデータ及びCRデータとしてそれぞれ 320×1020 画素のデータとなり、これが次段のC垂直フィルタ31CVに供給されることになる。

ここで、上述したY水平フィルタ31YHからタイミング調整部59を介して出力されるデータYf1と、このC水平フィルタ31CHから出力されるデータCf1とのタイミング関係は図16に示すようになる。即ち1水平ライン期間内において輝度データと色差データとは位相がずれたものとなっている。このため後述するように出力部33で位相合

わせ処理が行われる。

そしてY水平フィルタ31YHから出力されるデータYf1は、図10に示すY垂直フィルタ31YVにおいて垂直方向のフィルタリングが行われ、またC水平フィルタ31CHから出力されるデータCf1は、図12に示すC垂直フィルタ31CVにおいて垂直方向のフィルタリングが行われる。

いずれの処理も動作は基本的に同様であるため、図17のタイミングチャートを用いて説明するが、この処理は図示するように水平有効映像期間信号XDPHEN及び垂直有効映像期間信号XDPVENが共に「L」の期間に行われる。

なお、図10のY垂直フィルタ31YVにおけるスイッチ60a、60b及び図12のC垂直フィルタ31CVにおけるスイッチ90a、90bは、記録用画サイズ調整部10の画サイズ調整処理が行われているときは常にTR端子が接続され、表示用画サイズ調整部9における画サイズ調整処理が行われる際にTP端子に切り換えられるものである。従って、Y垂直フィルタ31YV及びC垂直フィルタ31CVの説明に限っては、スイッチ60a、60b及びスイッチ90a、90bは存在しないものと捉えてよい。

まずY垂直フィルタ31YVは、図10に示すようにFIFO（ファーストインーファーストアウト）方式のラインメモリ62及び63を有し、それぞれ1水平ラインのタイミングで遅延を行うようになっている。

なおラインメモリ62及び63は、供給されるデータYf1に対して、ラッチ回路61a、61b、61cによって3クロック分遅延された間引きタイミング信号YHENに基づいてデータ記憶を行う。この間引きタイミング信号YHENとは、上述のY水平フィルタ31YHにおいてスイッチ52a、52b及び52cの切換制御を行ってデータの間引きを実現した信号であり、これがデータYf1の3クロック分の遅延要

素（ラッチ回路53a（又は53b/53c）、59a、59b）にタイミングを合わせて供給されることで、ラインメモリ62及び63に適正にデータYf1が取り込まれていくことになる。

従ってY垂直フィルタ31YVは、ラインメモリ62及び63による遅延によって3タップのデータDL1、DL2及びDL3を得ることができる。つまり図17に示すように、データDL1、DL2及びDL3は、1ライン単位で遅延されたデータとして例えばラインデータ（L1 L0 L-1）→（L2 L1 L0）→（L3 L2 L1）→…となる。

データDL1、DL2及びDL3は、それぞれスイッチ64a、64b及び64cを介してラッチ回路65a、65b及び65cに入力される。ラッチ回路65a、65b及び65cは、ラッチ出力データMI1、MI2及びMI3を乗算器66a、66b及び66cに供給する。

ここでスイッチ64a、64b及び64cは、間引きタイミング信号YCVENによって切り換えられる。すなわち、スイッチ64a、64b及び64cによって、データDL1、DL2及びDL3がライン単位で間引かれた状態でラッチ回路65a、65b及び65cへ供給される。従ってラッチ回路65a、65b及び65cのラッチ出力データMI1、MI2及びMI3は、図17に示すようにライン単位でデータの間引きが行われた状態となる。

レジスタ67a、67b及び67cには、Y水平フィルタ31YHのレジスタ55a、55b及び55cと同様に、それぞれ乗算係数として8ビット値のcoef10～17、coef20～27、coef30～37がセットされており、制御部32から供給される係数制御信号（係数アドレス）YVCNに応じて乗算器66a、66b及び66cへ供給する乗算係数を切り換えるようになされている。

即ち図17に示すように、係数制御信号YVCN=0のときは、乗算

器 6 6 a で $L1 \times \text{coef}10$ 、乗算器 6 6 b で $L0 \times \text{coef}20$ 、乗算器 6 6 c で $L0 \times \text{coef}30$ という乗算が行われる。また係数制御信号 $YVCN=1$ のときは、乗算器 6 6 a で $L4 \times \text{coef}11$ 、乗算器 6 6 b で $L3 \times \text{coef}21$ 、乗算器 6 6 c で $L2 \times \text{coef}31$ という乗算が行われる。

以下、同様に乗算係数が切り換られていくと共に、それぞれラッチ出力データ $MI1$ 、 $MI2$ 及び $MI3$ と乗算されていく。

そして乗算器 6 6 a、6 6 b 及び 6 6 c の出力は、加算器 6 8 及び 6 9 で加算され、丸め処理部 7 0 で丸め処理された後、ラッチ回路 7 1 を介してデータ $Yf2$ として出力される。

例えば、 $(L1 \times \text{coef}10) + (L0 \times \text{coef}20) + (L-1 \times \text{coef}30) = L00$ となり、また $(L4 \times \text{coef}11) + (L3 \times \text{coef}21) + (L2 \times \text{coef}31) = L03$ となって、図 17 に示すデータ $Yf2$ ($=L00$ 、 $L03$ 、 $L05$ 、 $L07$ ……) が出力される。

このデータ $Yf2$ は、水平方向に加えて垂直方向にも画サイズ調整されて 640×480 画素のデータとなり、フィルタ部 3 1 で $8/17$ の変換比率で画サイズ調整された輝度データとなる。

続いて、C 垂直フィルタ 3 1 CV について説明するが、これも図 12 に示すように FIFO 方式のラインメモリ 9 2 及び 9 3 を有し、それぞれ 1 水平ラインのタイミングで遅延を行うようになされている。

このラインメモリ 9 2 及び 9 3 は、供給されるデータ $Cf1$ に対して、ラッチ回路 9 1 a 及び 9 1 b によって 2 クロック分遅延された間引きタイミング信号 $CHEN$ に基づいてデータ記憶を行う。この間引きタイミング信号 $CHEN$ とは、上述の C 水平フィルタ 3 1 CH においてスイッチ 8 2 a、8 2 b 及び 8 2 c の切換制御を行ってデータの間引きを実現した信号であり、これがデータ $Cf1$ の 2 クロック分の遅延要素（ラッチ回路 8 3 a（又は 8 3 b/8 3 c）、8 9）にタイミングを合わせ

て供給されることで、ラインメモリ 9 2 及び 9 3 に適正にデータ C f 1 が取り込まれていくことになる。

この C 垂直フィルタ 3 1 C V でも、ラインメモリ 9 2 及び 9 3 による遅延によって 3 タップのデータ D L 1、D L 2 及び D L 3 を得ることができる。そしてデータ D L 1、D L 2 及び D L 3 は、それぞれスイッチ 9 4 a、9 4 b 及び 9 4 c を介してラッチ回路 9 5 a、9 5 b 及び 9 5 c に入力される。ラッチ回路 9 5 a、9 5 b 及び 9 5 c は、ラッチ出力データ M I 1、M I 2 及び M I 3 を乗算器 9 6 a、9 6 b 及び 9 6 c に供給する。

ここでスイッチ 9 4 a、9 4 b 及び 9 4 c は、間引きタイミング信号 Y C V E N によって切り換えられることにより、ラッチ回路 9 5 a、9 5 b 及び 9 5 c のラッチ出力データ M I 1、M I 2 及び M I 3 が、ライン単位でデータの間引きが行われた状態となることは上述の Y 垂直フィルタ 3 1 Y V と同様である。

なおスイッチ 9 4 a、9 4 b 及び 9 4 c の他端には、データ「8 0 H」が供給されるようになされているが、これは色差データが符号付（オフセットバイナリ）コードとされ、8 0 H がゼロコードとなるためである。

レジスタ 9 7 a、9 7 b 及び 9 7 c には、Y 垂直フィルタ 3 1 Y V と同様に、それぞれ乗算係数として 8 ビット値の c o e f 1 0 ~ 1 7、c o e f 2 0 ~ 2 7、c o e f 3 0 ~ 3 7 がセットされており、制御部 3 2 から供給される係数制御信号（係数アドレス）C V C N に応じて乗算器 9 6 a、9 6 b 及び 9 6 c へ供給する乗算係数を切り換えるようになされている。

そして乗算器 9 6 a、9 6 b 及び 9 6 c の出力は、加算器 9 8 及び 9 9 で加算され、丸め処理部 1 0 0 で丸め処理された後、ラッチ回路 1 0 1 を介してデータ C f 2 として出力される。以上の処理は図 1 0 及び図 1 7 で説明した Y 垂直フィルタ 3 1 Y V と同様である。

このC垂直フィルタ31CVから出力されるデータCf2は、水平方向に加えて垂直方向にも画サイズ調整されて320×480画素のCBデータ及び320×480画素のCRデータとなり、これはフィルタ部31で8/17の変換比率で画サイズ調整された色差データである。

以上のようにフィルタ部31で8/17の変換比率で画サイズ調整されたデータYf2及びCf2は、出力部33で位相タイミング調整が行われて後段のDRAMコントローラ17に対して出力される。

次に、出力部33の構成を図18を用いて説明する。出力部33は、アンドゲート110、ラッチ回路111、113、114、115、116及びスイッチ112、115によって構成されている。

アンドゲート110は、制御部32からのメモリライトイネーブル信号MWHEN及びMWVENの論理積をとり、これを1ビットのメモリライトイネーブル信号MWENY2としてラッチ回路111に供給する。そして、この1ビットのメモリライトイネーブル信号MWENY2と、Y垂直フィルタYVからの8ビットのデータYf2とがスイッチ112の0端子に直接供給される。

またラッチ回路111には、1ビットのメモリライトイネーブル信号MWENY2と、8ビットのデータYf2とが供給され、これを1クロック遅延したデータYf3及びメモリライトイネーブル信号MWENY3としてスイッチ112の1端子に供給する。

またスイッチ112は、制御部32からのセレクト信号YSELに応じて切り換えられ、その結果選択されたデータYSELO及びメモリライトイネーブル信号MWENSを、ラッチ回路113を介して出力データYout及びメモリライトイネーブル信号MWENOとしてDRAMコントローラ17に供給するようになされている。

一方、C垂直フィルタ31CVからの8ビットのデータCf2は、スイッチ115の0端子に直接供給されると共に、ラッチ回路114を介して1クロック遅延されたデータCf3としてスイッチ115の1端子

に供給される。

スイッチ 115 は、制御部 32 からのセレクト信号 CSEL に応じて切り換えられ、その結果選択されたデータ CSELO をラッチ回路 116 を介して出力データ Cout として DRAM コントローラ 17 に供給するようになされている。

實際上、出力部 33 における動作を図 19 に示すと、データ Yf2 及びデータ Cf2 は、水平期間内では図 16 で説明したようなデータ Yf1 及びデータ Cf1 と同様の位相関係となっている。

このような位相関係にあるデータ Yf2 及び Cf2 と、遅延データ Yf3 及び Cf3 とがそれぞれ図示したようなセレクト信号 YSEL 及び CSEL によってスイッチ 112 及び 115 で選択されることにより、データ YSELO、CSELO、メモリライトイネーブル信号 MWENS が図示したような位相関係となり、これがラッチ回路 113 及び 116 で 1 クロック遅延されることにより、図示したような出力データ Yout、メモリライトイネーブル信号 MWENO、出力データ Cout が得られる。

この図 19 における出力データ Yout、メモリライトイネーブル信号 MWENO 及び出力データ Cout を図 20a に示す。この場合、後段の DRAM コントローラ 17 ではメモリライトイネーブル信号 MWENO に基づいて出力データ Yout 及び Cout を DARM18 に書き込む。すなわち、メモリライトイネーブル信号 MWENO が「H」レベルとなる破線で囲ったタイミングで、DARM18 にデータが書き込まれていく。

そして図中から分かるように、少なくともメモリライトイネーブル信号 MWENO に規定されるタイミングにおいては、輝度データ Yout (YH00、YH03、YH05……) と、色差データ Cout (CB00、CR00、CB04、CR04、CB08、CR08……) との間の位相ずれが調整された状態となっている。これにより、図 20b の

ように輝度データ Y_{out} ($YH00$ 、 $YH03$ 、 $YH05$ ……) と、色差データ C_{out} ($CB00$ 、 $CR00$ 、 $CB04$ 、 $CR04$ 、 $CB08$ 、 $CR08$ ……) とが適切なタイミングで $DRAM18$ に書き込まれていくことになる。

このように記録用画サイズ調整部 10 は、以上のように入力データ Y_{in} 及び C_{in} に対して $8/17$ の変換比の画サイズ調整処理を実行し、その結果得られる出力データ Y_{out} 及び C_{out} を $DRAM18$ に格納し得るようになされている。また記録用画サイズ調整部 10 は、図 6 に示したようなフィルタ特性で画サイズ調整処理を実行するようにしたことにより、大きな画質劣化を生じさせないようになされている。

4. 表示用画サイズ調整部

続いて、表示用画サイズ調整部 9 について説明する。上述したように、本実施の形態におけるデジタルスチルカメラ 1 の記録用画像データの最大サイズは、水平及び垂直方向に 1360×1020 画素である。液晶表示部 16 や外部モニタ装置において表示する画像データとしては、もちろんこのままの画素数の画像データでもよいが、表示装置の仕様により画サイズを縮小しなければならないことも生じるし、拡大表示や縮小表示を行いたい場合も有り得る。

このため、 1360×1020 画素の画像データに対して或る程度フレキシブルな画サイズ調整処理が求められるが、このような画サイズ変換を表示用画サイズ調整部 9 における直線補間によって実行するようになされている。

図 21 に示すように、表示用画サイズ調整部 9 はフィルタ部 41、制御部 42 及び出力部 43 によって構成されている。フィルタ部 41 は、 $DS5$ から輝度データとしての入力データ Y_{in} 及び色差データとしての入力データ C_{in} (CB 及び CR) の供給を受ける。そしてフィルタ部 41 は、 Y 水平フィルタ 41 YH によって入力データ Y_{in} に対して

水平方向のフィルタリングを施すことによりデータ $Yf11$ を生成し、これを Y 垂直フィルタ 41 YV によって垂直方向のフィルタリングを施すことによりデータ $Yf12$ を生成して出力部 43 に供給する。

ここで入力データ Yin は、 1360×1020 画素のデータであり、データ $Yf11$ はフィルタ係数及び間引きタイミングによって規定された比率で縮小されたデータである。

またフィルタ部 41 は、C 水平フィルタ 41 CH によって入力データ Yin に対して水平方向のフィルタリングを施すことによりデータ $Cf11$ を生成し、これを C 垂直フィルタ 41 CV によって垂直方向のフィルタリングを施すことによりデータ $Cf12$ を生成して出力部 43 に供給する。

ここで入力データ Cin は、 680×1020 画素の CB データ及び 680×1020 画素の CR データからなる 2 チャンネルのデータであり、データ $Cf12$ は所定の比率で縮小された 2 チャンネルのデータである。

上述したように直線補間の場合、フィルタは 2 タップで構成できるため、Y 水平フィルタ 41 YH、Y 垂直フィルタ 41 YV、C 水平フィルタ 41 CH 及び C 垂直フィルタ 41 CV は、それぞれ 2 タップ構成とされている。

また、この実施の形態では Y 水平フィルタ 41 YH 及び C 水平フィルタ 41 CH は 3 ポリフェーズフィルタ、Y 垂直フィルタ 41 YV 及び C 垂直フィルタ 41 CV は 4 ポリフェーズフィルタでなり、Y 水平フィルタ 41 YH 及び C 水平フィルタ 41 CH には乗算係数として 8 ビット値の $coef40 \sim 42$ 及び $coef50 \sim 52$ が共通に供給されて後述する内部レジスタにセットされると共に、Y 垂直フィルタ 41 YV 及び C 垂直フィルタ 41 CV には乗算係数として 8 ビット値の $coef60 \sim 63$ 及び $coef70 \sim 73$ が共通に供給されて後述する内部レジスタにセットされる。

出力部 4 3 は、フィルタ部 4 1 からの直線補間されたデータ $Yf2$ 及び $Cf2$ に対して後段のビデオ RAM コントローラ 1 1 に供給するための処理を実行し、これを出力データ $Yout$ 及び $Cout$ としてメモリアイトイネーブル信号 $MWENO$ と共にビデオ RAM コントローラ 1 1 に供給することにより、出力データ $Yout$ 及び $Cout$ をビデオ RAM 1 2 に書き込むようになされている。

制御部 4 2 は、フィルタ部 4 1 及び出力部 4 3 に対して各種タイミングを規定する信号を出力する。實際上、制御部 4 2 は DSP 5 からの水平有効映像期間信号 $XDPHEN$ 及び垂直有効映像期間信号 $XDPEVN$ に基づいて各種信号を生成する。即ち制御部 4 2 は、水平有効映像期間信号 $XDPHEN$ 及び垂直有効映像期間信号 $XDPEVN$ が共に「L」レベルの期間において、各タイミング信号でフィルタ部 4 1 及び出力部 4 3 の動作を実行させる。

ここで、フィルタ部 4 1 に供給するタイミング信号としては、 N/M の変換のための間引きタイミング信号 $YHEN$ 、 $CHEN$ 及び $YCVEN$ と、係数時変のための係数制御信号（係数アドレス） $YHCN$ 、 $YVCN$ 、 $CHCN$ 及び $CVCN$ とである。

続いて、Y 水平フィルタ 4 1 YH 、Y 垂直フィルタ 4 1 YV 、C 水平フィルタ 4 1 CH 及び C 垂直フィルタ 4 1 CV のそれぞれの回路構成について、図 2 2 ～ 図 2 5 を用いて説明する。なお、DSP 5 からの入力データ Yin 及び Cin については図 1 3 に示した通りである。

図 2 2 に示すように Y 水平フィルタ 4 1 YH は、ラッチ回路 1 5 1 a 及び 1 5 1 b によって構成されるシフトレジスタ 1 5 1 を有し、各ラッチ回路 1 5 1 a 及び 1 5 1 b で入力データ Yin に対して 1 クロックタイミングの遅延を行うことにより、2 タップのデータを得、これをスイッチ 1 5 2 a 及び 1 5 2 b を介してラッチ回路 1 5 3 a 及び 1 5 3 b に供給する。

ラッチ回路 1 5 3 a 及び 1 5 3 b は、ラッチ出力データを乗算器 1 5

4 a 及び 1 5 4 b に供給する。ここでスイッチ 1 5 2 a 及び 1 5 2 b は、間引きタイミング信号 Y H E N によって切り換えられることになり、上述の記録用画サイズ調整部 1 0 の Y 水平フィルタ 3 1 Y H と同様に、この動作によってラッチ回路 1 5 3 a 及び 1 5 3 b のラッチ出力データとしてはデータの間引きが行われた状態となる。

一方、レジスタ 1 5 5 a 及び 1 5 5 b には、それぞれ乗算係数として 8 ビット値の c o e f 4 0 ~ 4 2、c o e f 5 0 ~ 5 2 がセットされており、制御部 4 2 から供給される係数制御信号（係数アドレス）Y H C N に応じて乗算器 1 5 4 a 及び 1 5 4 b へ供給する乗算係数を切り換えるようになされている。これも基本的には、上述の記録用画サイズ調整部 1 0 の Y 水平フィルタ 3 1 Y H と同様の動作となる。

乗算器 1 5 4 a 及び 1 5 4 b は、ラッチ回路 1 5 3 a 及び 1 5 3 b のラッチ出力データと、順次切り換えられて供給される乗算係数 c o e f 4 0 ~ 4 2、c o e f 5 0 ~ 5 2 との間で乗算処理を行う。そして乗算器 1 5 4 a 及び 1 5 4 b の出力は、加算器 1 5 6 で加算され、丸め処理部 1 5 8 で丸め処理された後にラッチ回路 1 5 9 a 及び 1 5 9 b からなるタイミング調整部 1 5 9 を介してデータ Y f 1 1 として出力される。このデータ Y f 1 1 は、水平方向に画サイズ調整処理されたデータであり、これが次段の Y 垂直フィルタ 4 1 Y V に供給されることになる。

ここで直線補間を実行する際に、水平方向に関して $N1/M1$ の変換比での処理を実行するとして、 $N1 = 3$ であるとした場合、上記のように各 3 つの乗算係数が用意され、また各タップに対して一対となる係数は、係数 K と係数 $(1 - K)$ の関係となる。即ち図 2 2 の表に示すように、係数 K を乗算係数 $c o e f 4 0 = 1/3$ とした場合、係数 $(1 - K)$ は $c o e f 5 0 = 2/3$ となり、係数 K を $c o e f 4 1 = 2/3$ とした場合、係数 $(1 - K)$ は $c o e f 5 1 = 1/3$ となり、係数 K を $c o e f 4 2 = 3/3$ とした場合、係数 $(1 - K)$ は $c o e f 5 2 = 0$ となり、これにより図 1 及び図 2 で説明した直線補間としてのフィルタリン

グ処理が実現される。

図24に示すようにC水平フィルタ41CHは、ラッチ回路181a、181b1及び181b2によって構成されるシフトレジスタ181を有し、入力データCinに対してラッチ回路181aで1クロックタイミングの遅延を行い、ラッチ回路181b1及び181b2で2クロックタイミングの遅延を行うことにより、2タップのデータを得、これをスイッチ182a及び182bを介してラッチ回路183a及び183bに供給する。

この場合、上述した記録用画サイズ調整部10のC水平フィルタ31CHと同様にデータCB及びCRを一对として2クロックタイミング遅延されたデータとなる。

ラッチ回路183a及び183bは、ラッチ出力データを乗算器184a及び184bに供給する。ここでスイッチ182a及び182bは、間引きタイミング信号CHENによって切り換えられることになり、上述の記録用画サイズ調整部10のC水平フィルタ31CHと同様に、ラッチ回路183a及び183bのラッチ出力データとしてはデータの間引きが行われた状態となる。

一方、レジスタ185a及び185bには、上述のY水平フィルタ41YHと同様にそれぞれ乗算係数として8ビット値のcoef40~42、coef50~52がセットされており、制御部42から供給される係数制御信号（係数アドレス）CHCNに応じて乗算器184a及び184bへ供給する乗算係数を切り換えるようになされている。

この表示用画サイズ調整部9では、水平方向に関してN1/M1の変換比での処理を実行する際にN1=3としており、これにより乗算係数coef40~42、coef50~52の値は図22に示した通りとなる。

乗算器184a及び184bは、ラッチ回路183a及び183bのラッチ出力データと、順次切り換えられて供給される乗算係数coef

40～42、coef 50～52との間で乗算処理を行う。そして乗算器184a及び184bの出力は、加算器186で加算され、丸め処理部188で丸め処理された後にラッチ回路189を介してデータCf11として出力される。このデータCf11は、直線補間により水平方向に画サイズ調整処理されたデータであり、これが次段のC垂直フィルタ41CVに供給されることになる。

従って、Y水平フィルタ41YHから出力されるデータYf11は、図23に示すY垂直フィルタ41YVにおいて垂直方向のフィルタリングが行われ、またC水平フィルタ41CHから出力されるデータCf11は、図25に示すC垂直フィルタ41CVにおいて垂直方向のフィルタリングが行われる。

まずY垂直フィルタ41YVは、2タップ構成とするものであるが、この例では1ラインの遅延のためのラインメモリは設けられていない。上述の図10に示したY垂直フィルタ31YVのスイッチ60a及び60bは、表示用画サイズ調整部9における処理が行われる際にTP端子に切り換えられるものである。

つまり表示用画サイズ調整部9における処理が行われている間には、データYf11は、図23及び図10に示す①の経路により、記録用画サイズ調整部10内のY垂直フィルタ31YVにおけるラインメモリ62に供給され、またラインメモリ62の出力が②の経路により戻されるものとなる。即ちラインメモリ62が共用されるようになされている。

これにより、図23のY垂直フィルタ41YVは、ラインメモリ62による遅延信号と、非遅延信号との2タップのデータを得、これをそれぞれスイッチ164a及び164bを介してラッチ回路165a及び165bに供給する。ラッチ回路165a及び165bは、それぞれのラッチ出力データを乗算器166a及び166bに供給する。

ここでスイッチ164a及び164bは、間引きタイミング信号YCVENにより切り換えられることになり、ラッチ回路165a及び16

5 bのラッチ出力データとしてはライン単位でデータの間引きが行われた状態となる。

レジスタ167a及び167bには、それぞれ乗算係数として8ビット値のcoef60～63、coef70～73がセットされており、制御部42から供給される係数制御信号（係数アドレス）YVCNに応じて所要のライン単位で乗算器166a及び166bへ供給する乗算係数を切り換えるようになされている。

乗算器166a及び166bは、ラッチ回路165a及び165bのラッチ出力データと、順次切り換えられて供給される乗算係数coef60～63、coef70～73との間で乗算処理を行う。そして乗算器166a及び166bの出力は、加算器168で加算され、丸め処理部170で丸め処理された後にラッチ回路171を介してデータYf12として出力される。このデータYf12は、直線補間により水平方向に加えて垂直方向にも画サイズ調整処理されたデータである。

ここで直線補間を実行する際に、垂直方向に関して $N2/M2$ の変換比での処理を実行する際に、 $N2=4$ とした場合、上述のように各4つの乗算係数が用意され、また各タップに対して一対となる係数は、係数Kと係数 $(1-K)$ の関係となる。即ち図23の表に示すように係数Kを乗算係数coef60 $=1/4$ とした場合、係数 $(1-K)$ はcoef70 $=3/4$ となり、係数Kを乗算係数coef61 $=2/4$ とした場合、係数 $(1-K)$ はcoef71 $=2/4$ となり、さらに係数Kを乗算係数coef62 $=3/4$ とした場合、係数 $(1-K)$ はcoef72 $=1/4$ となる。さらに係数Kを乗算係数coef63 $=4/4$ とした場合、係数 $(1-K)$ はcoef73 $=0$ となる。これにより図1及び図2で説明した直線補間としてのフィルタリング処理が実現される。

次に、図25に示すようにC垂直フィルタ41CVは、この場合も2タップ構成となっているが、1ライン遅延のためのラインメモリは設け

られていない。そして上述の図12に示したC垂直フィルタ31CVにおけるスイッチ90a及び90bは、表示用画サイズ調整部9での画サイズ調整処理が行われている間、データCf11は図25及び図12に示す③の経路により、記録用画サイズ調整部10内のC垂直フィルタ31CVにおけるラインメモリ92に供給され、またラインメモリ92の出力が④の経路により戻されるものとなる。即ちラインメモリ92が共用されるようになされている。

これにより、図25のC垂直フィルタ41CVは、ラインメモリ92による遅延信号と、非遅延信号との2タップのデータを得、これをそれぞれスイッチ194a及び194bを介してラッチ回路195a及び195bに供給する。ラッチ回路195a及び195bは、それぞれのラッチ出力データを乗算器196a及び196bに供給する。

ここでスイッチ194a及び194bは、間引きタイミング信号YCVENにより切り換えられることになり、ラッチ回路195a及び195bのラッチ出力データとしてはライン単位でデータの間引きが行われた状態となる。

レジスタ197a及び197bには、図23のレジスタ167a及び167bと同様の値として8ビット値の乗算係数coef60~63、coef70~73がセットされており、制御部42から供給される係数制御信号（係数アドレス）CVCNに応じて乗算器196a及び196bへ供給する乗算係数を切り換えるようになされている。

乗算器196a及び196bは、ラッチ回路195a及び195bのラッチ出力データと、順次切り換えられて供給される乗算係数coef60~63、coef70~73との間で乗算処理を行う。そして乗算器196a及び196bの出力は、加算器198で加算され、丸め処理部200で丸め処理された後にラッチ回路201を介してデータCf12として出力される。このデータCf12は、直線補間により水平方向に加えて垂直方向にも画サイズ調整処理されたデータである。

以上のようにフィルタ部 4 1 で画サイズ調整処理されたデータ $Yf1$ 2 及び $Cf1$ 2 は、出力部 4 3 において所定の処理が施され、後段のビデオ RAM コントローラ 1 1 へ出力されることになる。

表示用画サイズ調整部 9 では、上述のような構成のフィルタによって直線補間を行って画サイズ調整処理を行うようにしているが、直線補間の場合に変換比が変わってもフィルタのタップ数は 2 タップで良い。また表示用画サイズ調整部 9 は、目的とする変換比に応じて乗算係数を変更すればよく、その際であっても乗算係数は係数 K 及び $(1 - K)$ として容易に設定することができる。

即ち表示用画サイズ調整部 9 では、直線補間を用いたことにより変換比によっては画質が大きく劣化することもあり得るが、単に表示用に用いる画像データとして、これはさほど大きな欠点とはならない。逆に表示用画サイズ調整部 9 は、変換比をフレキシブルにコントロールできることにより、表示デバイスの仕様への対応や、縮小表示及び拡大表示といった要望にも容易かつ多様に対応できることになり、表示用データの画サイズ調整処理として好適なものとなる。

また表示用画サイズ調整部 9 は、 Y 垂直フィルタ 4 1 YV 及び C 垂直フィルタ 4 1 CV において記録用画サイズ調整部 1 0 の Y 垂直フィルタ 3 1 YV 及び C 垂直フィルタ 3 1 CV におけるラインメモリ 6 2 及び 9 2 を用いるようにしたことにより、比較的回路規模の大きくなるラインメモリを不要として回路規模の削減を図っている。このようにデジタルスチルカメラ 1 としては、画質劣化を抑えるために曲線補間を用いた記録用画サイズ調整部 1 0 と、極めて簡易な構成でなる直線補間を用いた表示用画サイズ調整部 9 とを設けるようにしたことにより、回路規模の増大を最小限にとどめることができる。

なお上述の実施の形態においては、記録用画サイズ調整部 1 0 において $8/17$ の変換比で画像データを縮小するようにした場合について述べたが、本発明はこれに限らず、他の種々の変換比を設定するようにし

ても良い。

また上述の実施の形態においては、表示用画サイズ調整部 9 及び記録用画サイズ調整部 10 の回路構成として図 9 ～図 12 及び図 21 ～図 24 に示したような構成とした場合について述べたが、本発明はこれに限らず、他の種々の回路構成によって表示用画サイズ調整部 9 及び記録用画サイズ調整部 10 を形成するようにしても良い。

産業上の利用可能性

本発明の撮像装置は、光電変換素子によって画像データを取り込み、これを記録媒体に記録したり、表示部に表示する電子カメラに適用される。

請 求 の 範 囲

1 撮像した画像を画像データとして出力する撮像手段と、

上記撮像手段から出力された画像データに対して直線補間による画サイズ調整処理を行って表示出力用の画像データを生成する表示用画サイズ調整手段と、

上記撮像手段から出力された画像データに対して曲線補間による画サイズ調整処理を行って、記録媒体への記録用の画像データを生成する記録用画サイズ調整手段と、

上記表示用画サイズ調整手段で画サイズ調整された画像データにより表示用出力動作を行う表示データ出力手段と、

上記記録用画サイズ調整手段で画サイズ調整された画像データを記録媒体に記録する記録手段と

を具えることを特徴とする撮像装置。

2 上記表示用画サイズ調整手段と上記記録用画サイズ調整手段とでは、上記直線補間による画サイズ調整処理及び上記曲線補間による画サイズ調整処理に用いるラインメモリが共有される

ことを特徴とする請求の範囲第1項に記載の撮像装置。

3 上記記録用画サイズ調整手段は、供給された画像データを N/M （但し、 N 、 M は互いに素な正の整数である）に補間する際に、周波数軸上における n/M （但し $n=1, 2, \dots, M-1$ ）、 k/N （但し $k=1, 2, \dots, N-1$ ）に零点を持つ特性となるフィルタリングを行うことにより上記曲線補間を実現する

ことを特徴とする請求の範囲第1項に記載の撮像装置。

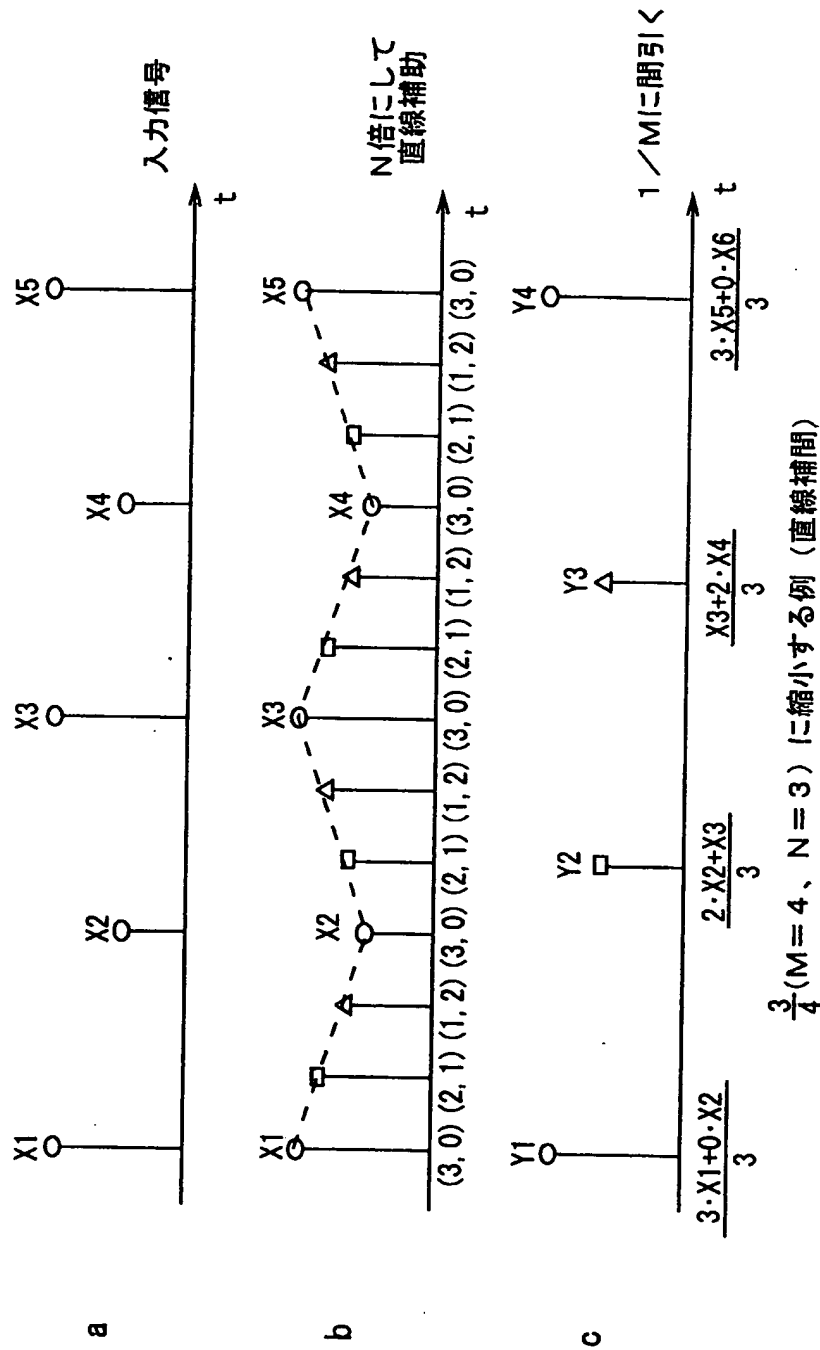


図 1

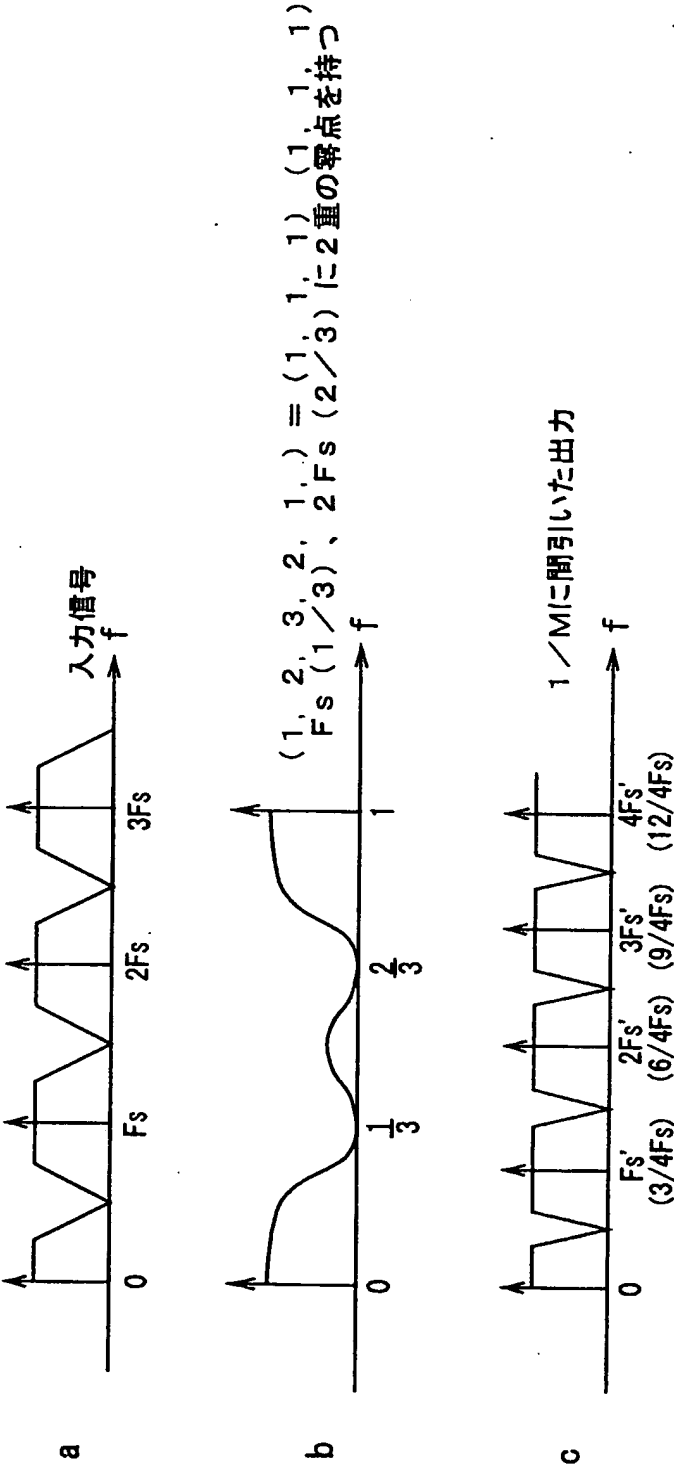


図 2

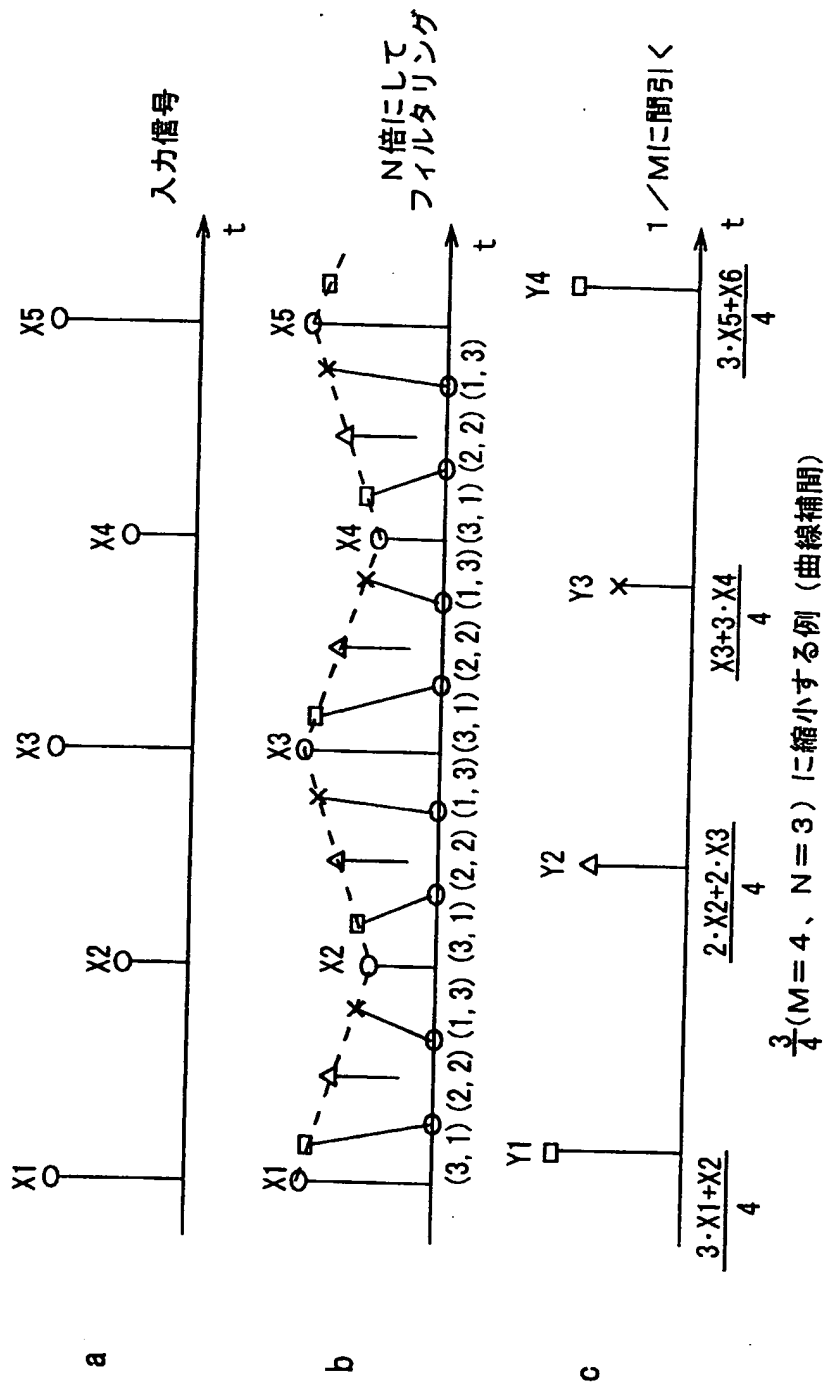


図 3

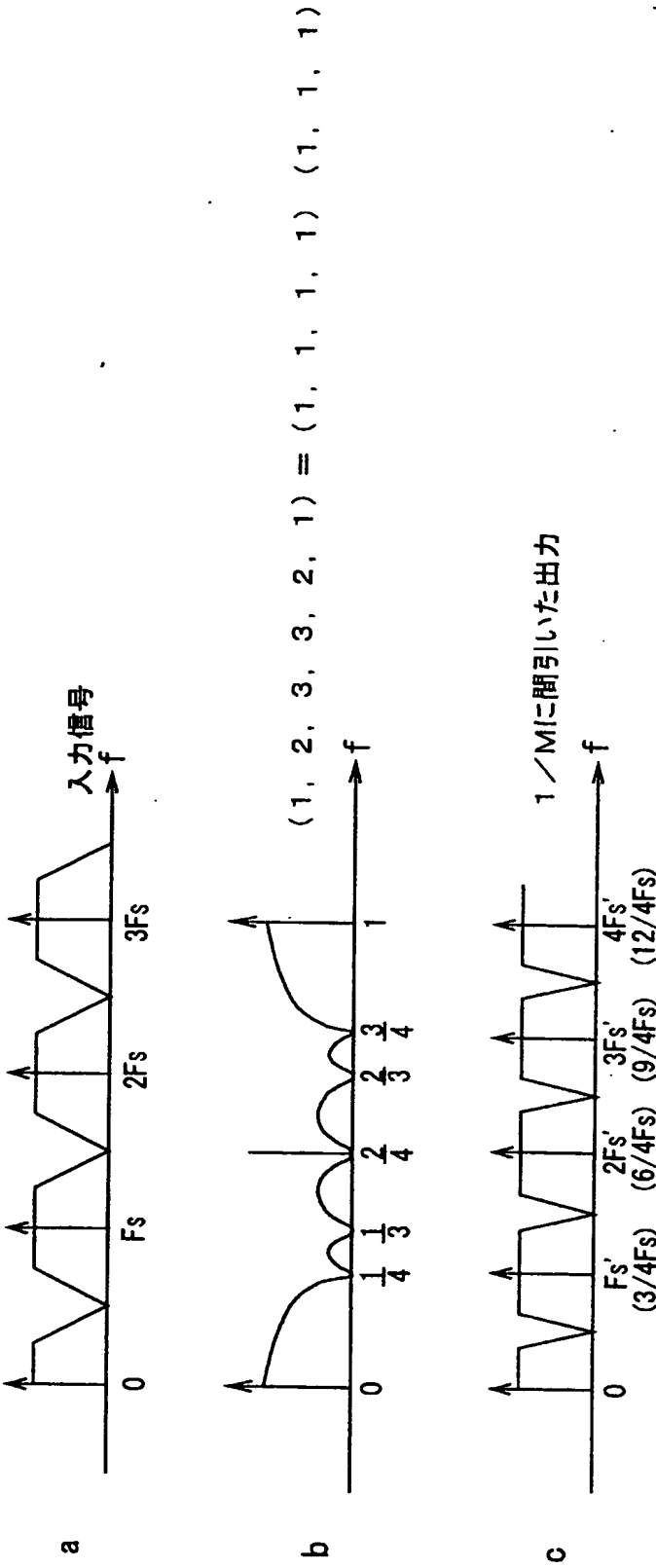
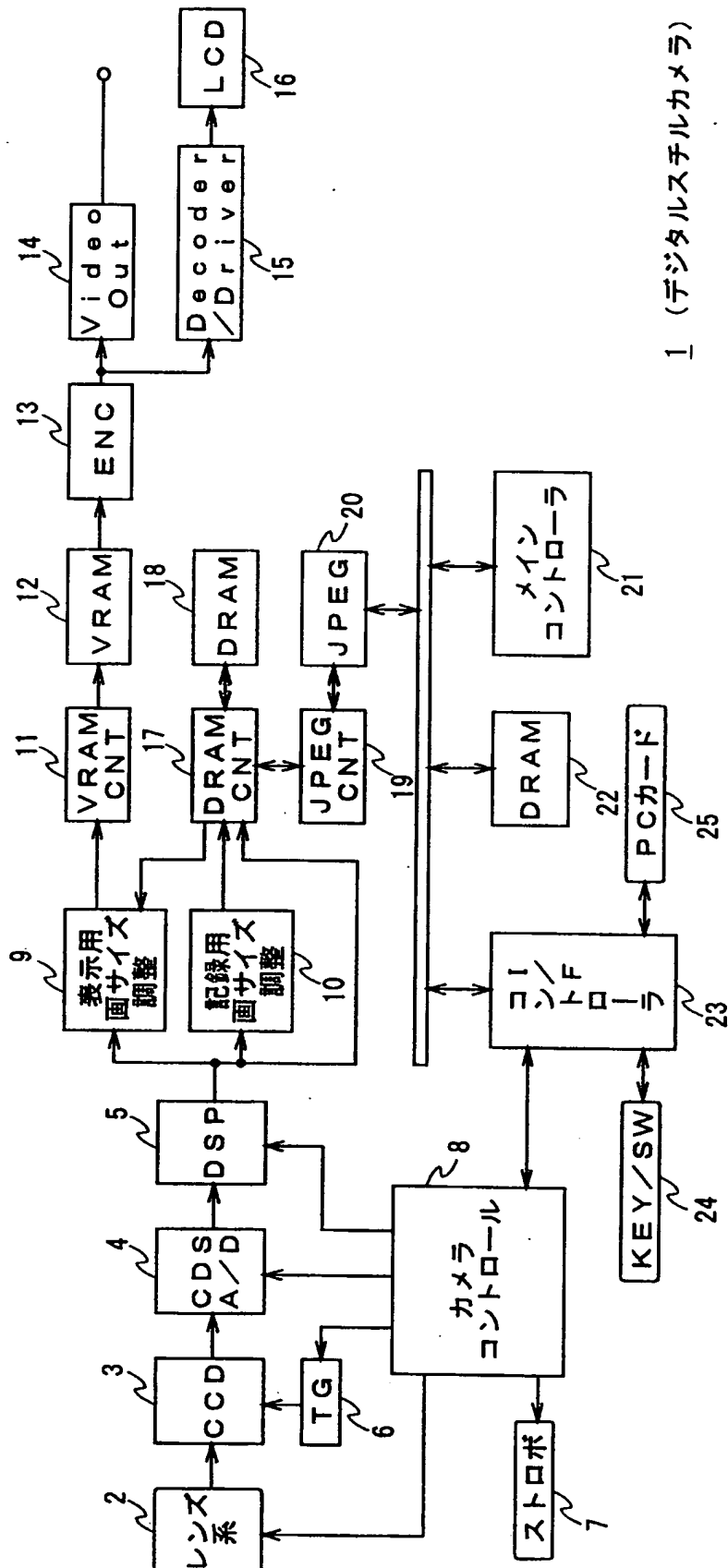


図 4



1 (デジタルスチルカメラ)

図5

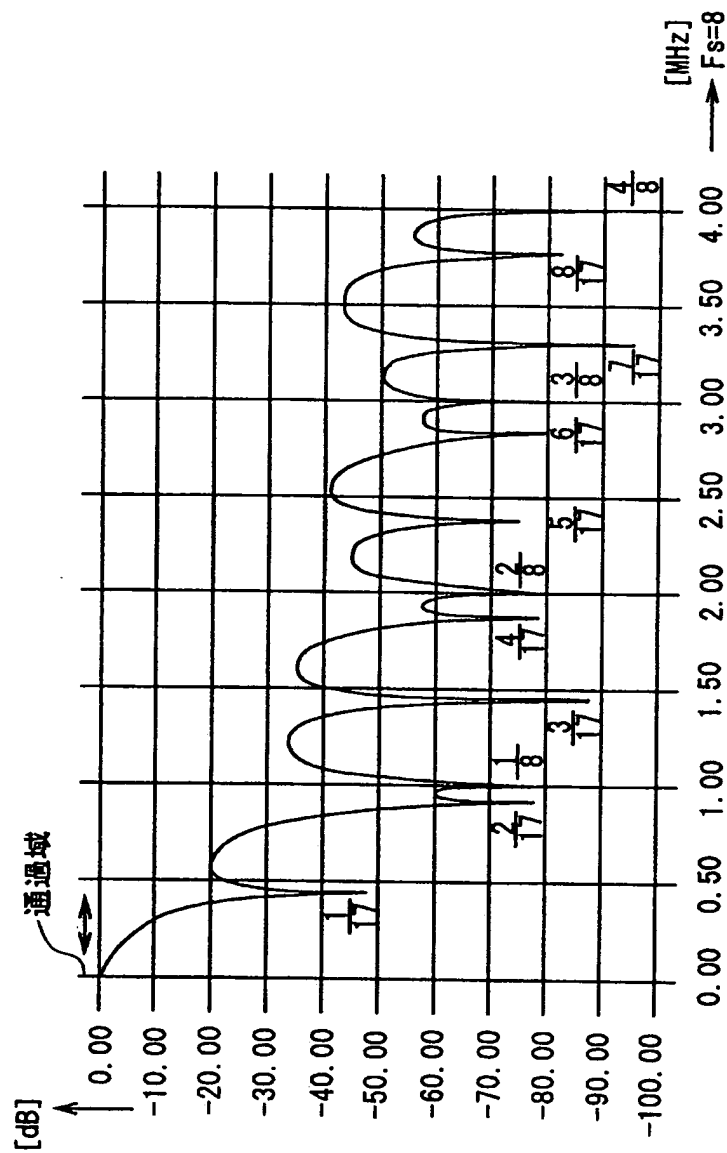
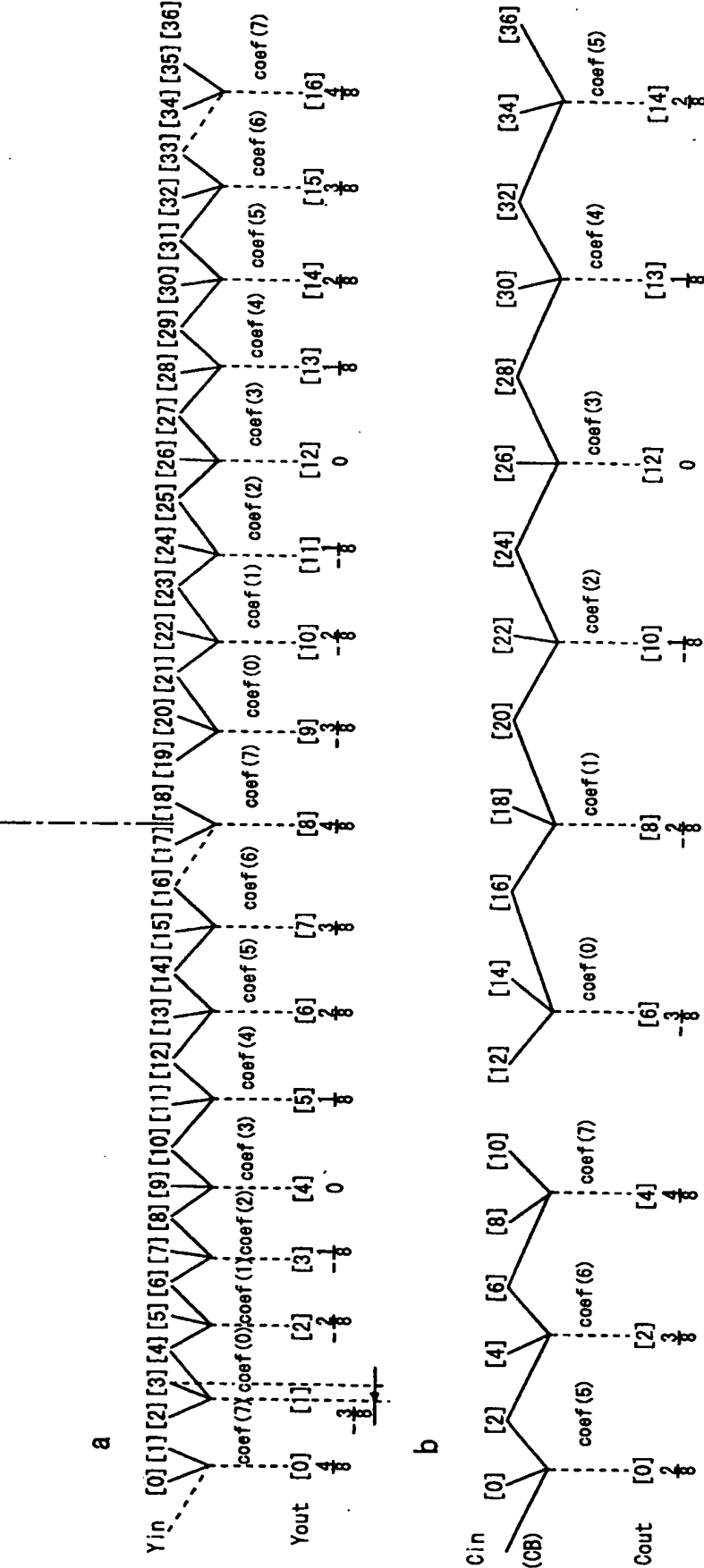


図 6



7

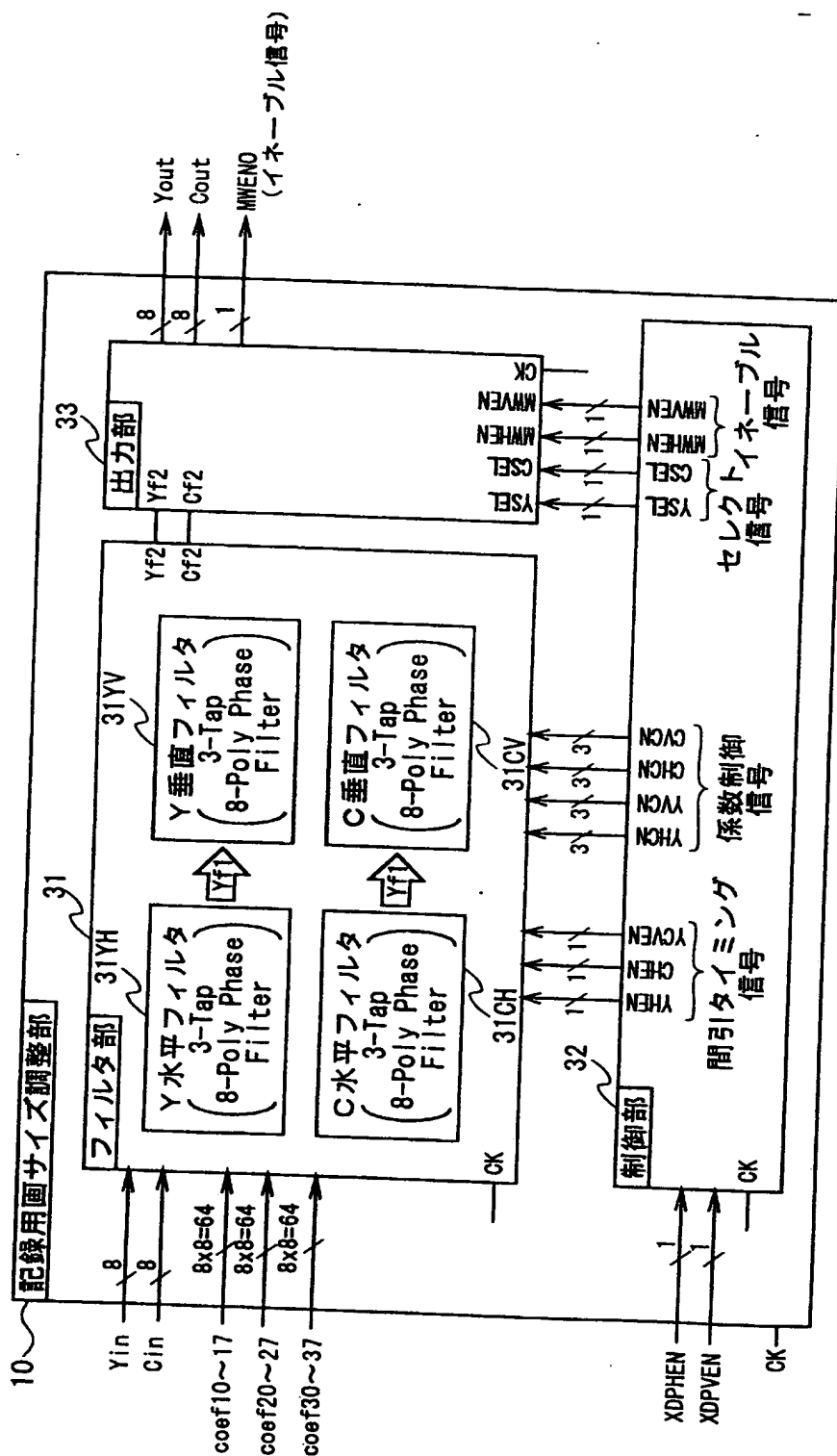


図 8

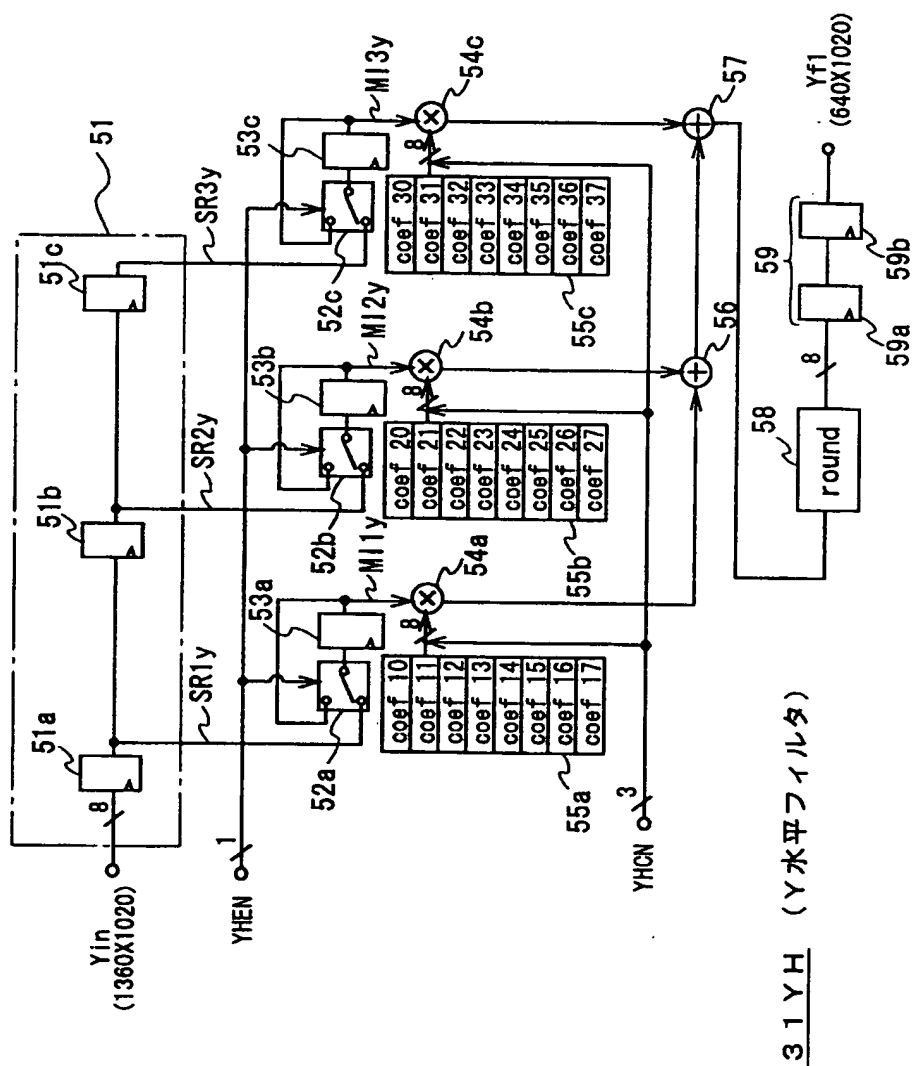


図 9

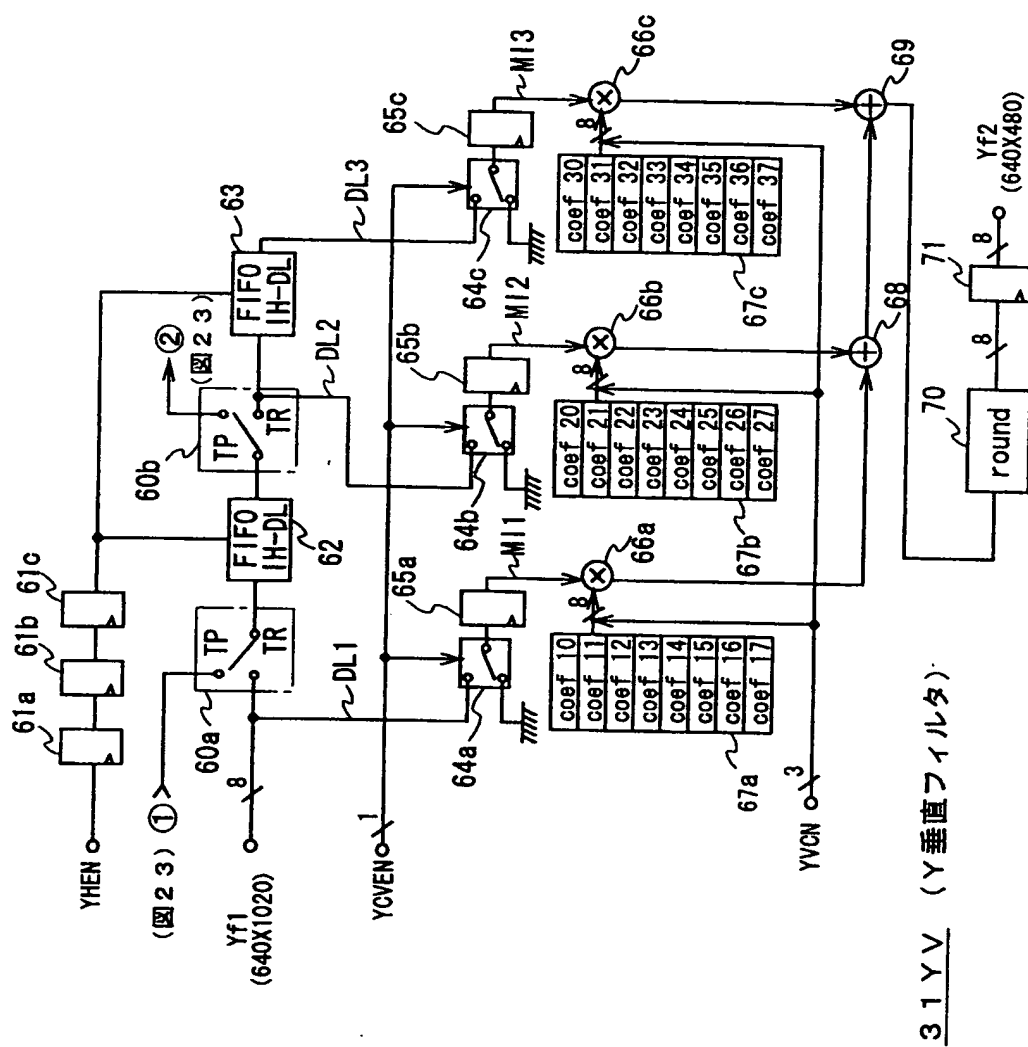
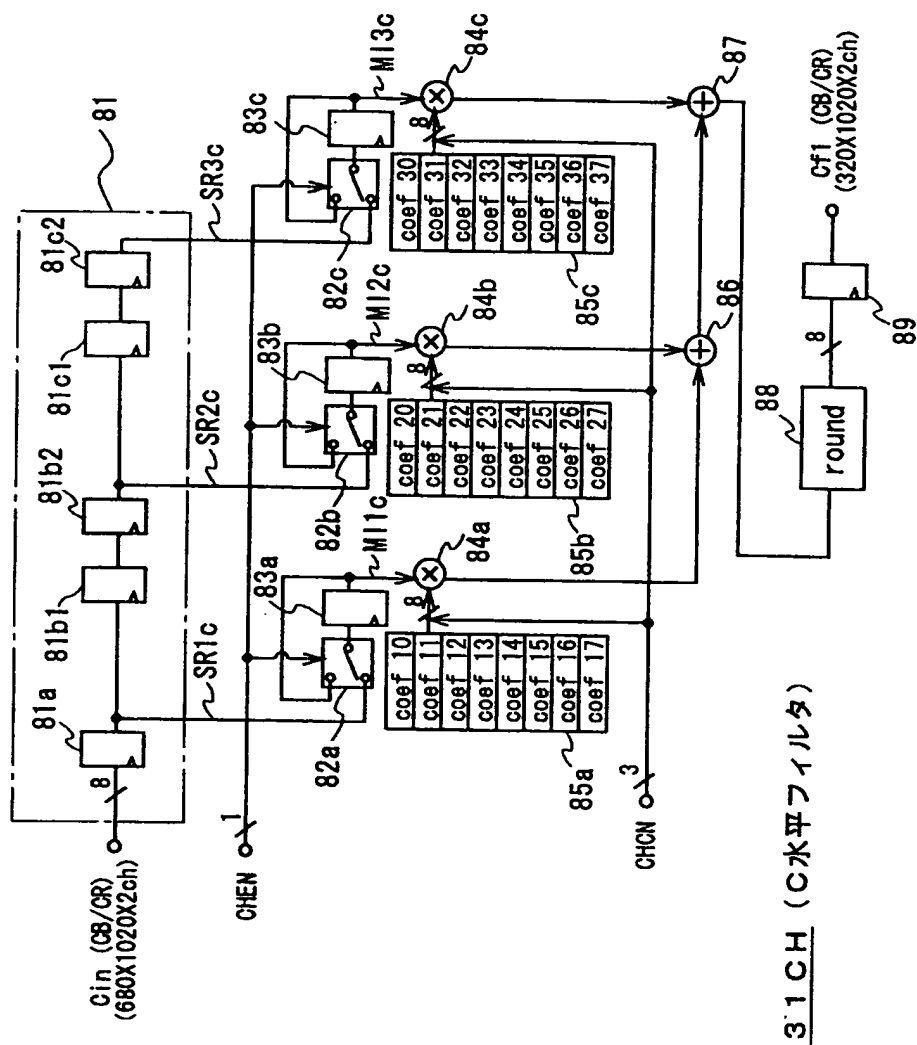


図 10



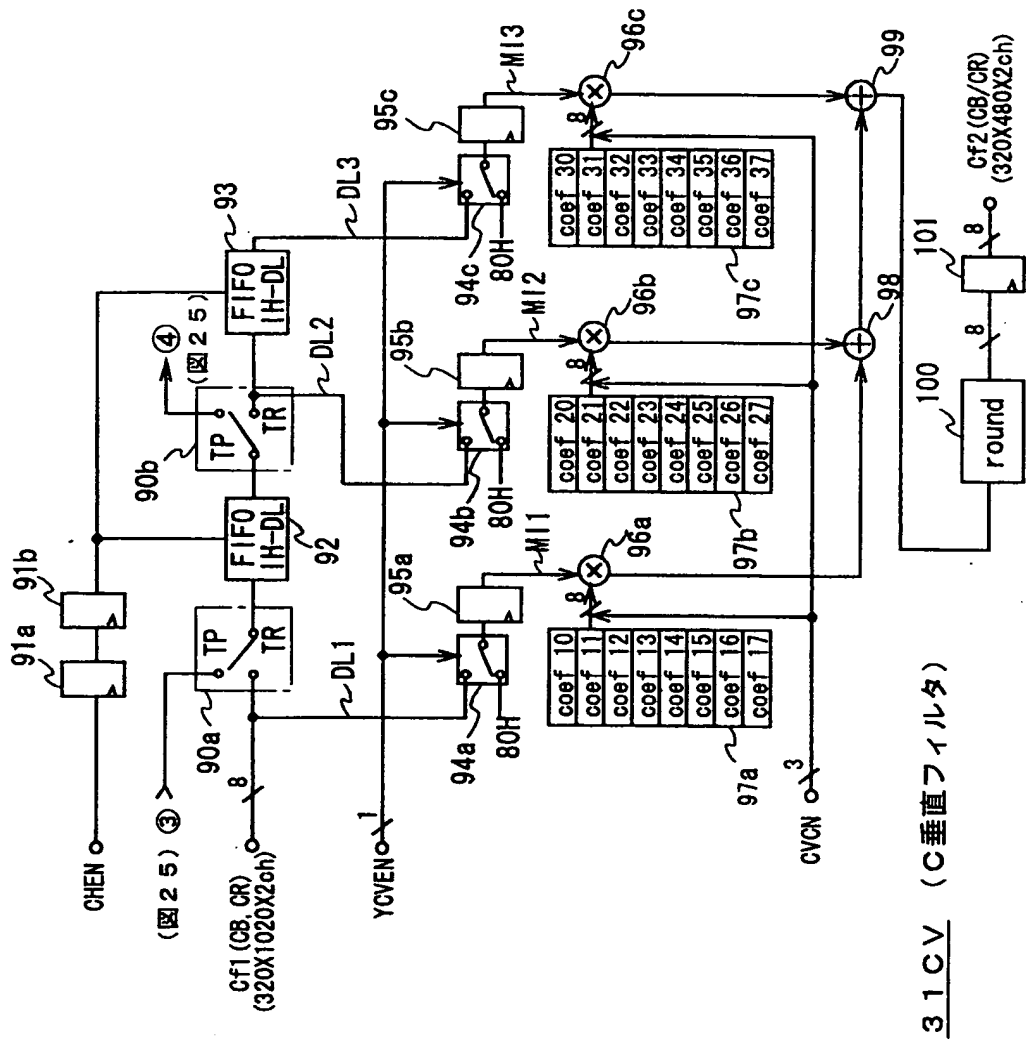


図 12

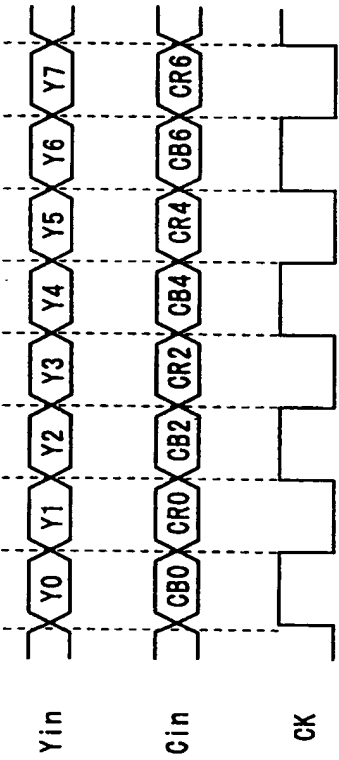
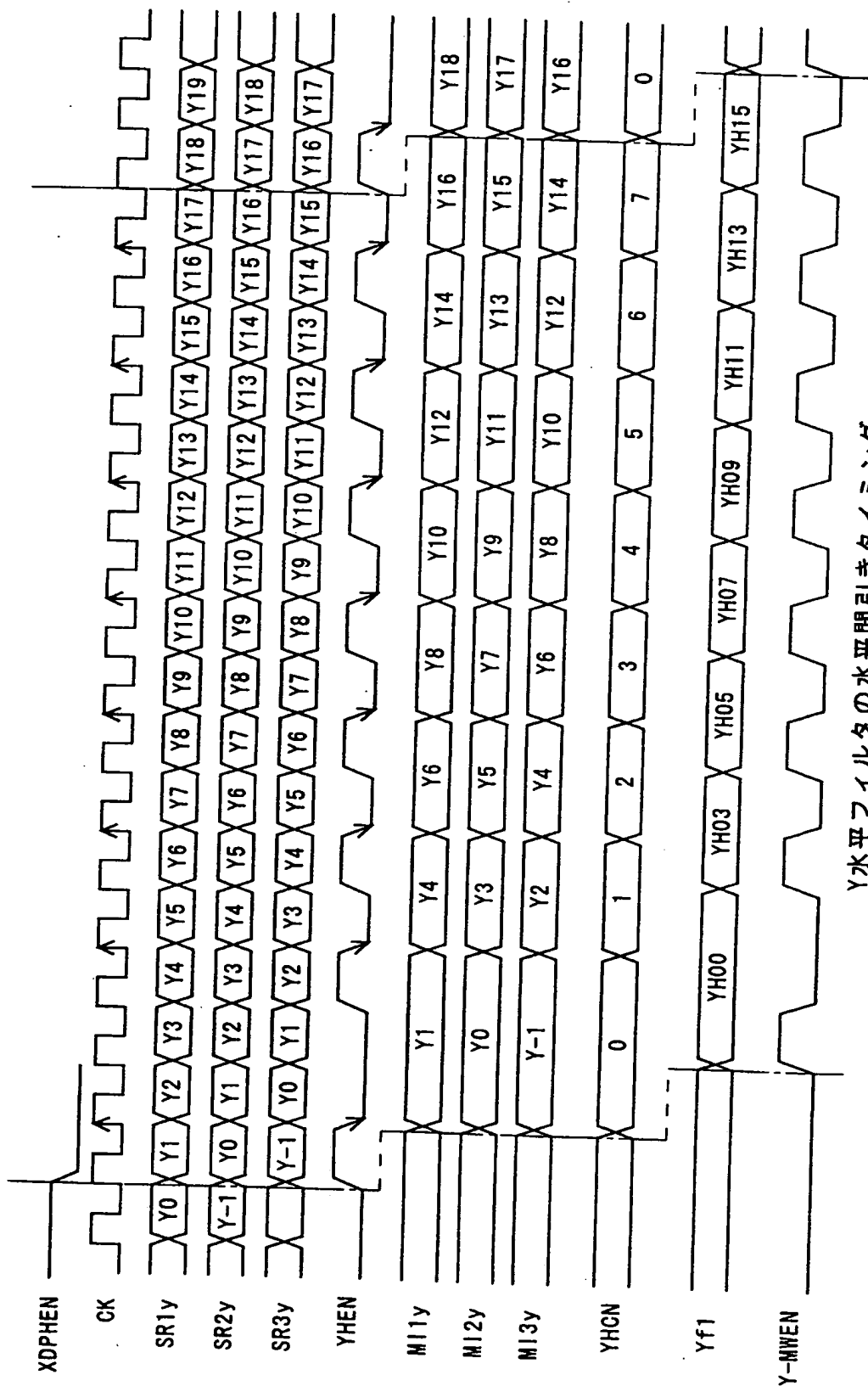
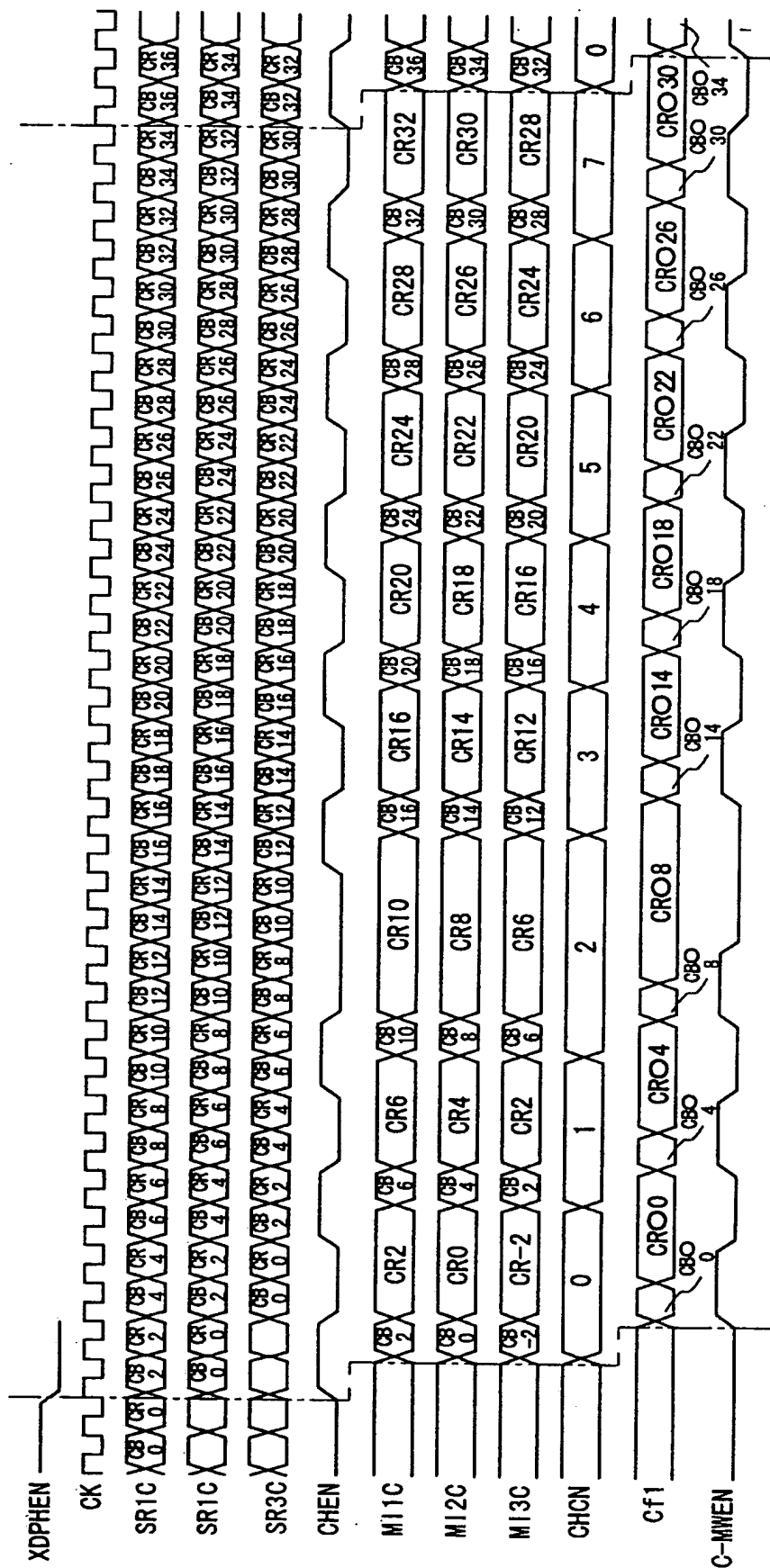


図 13



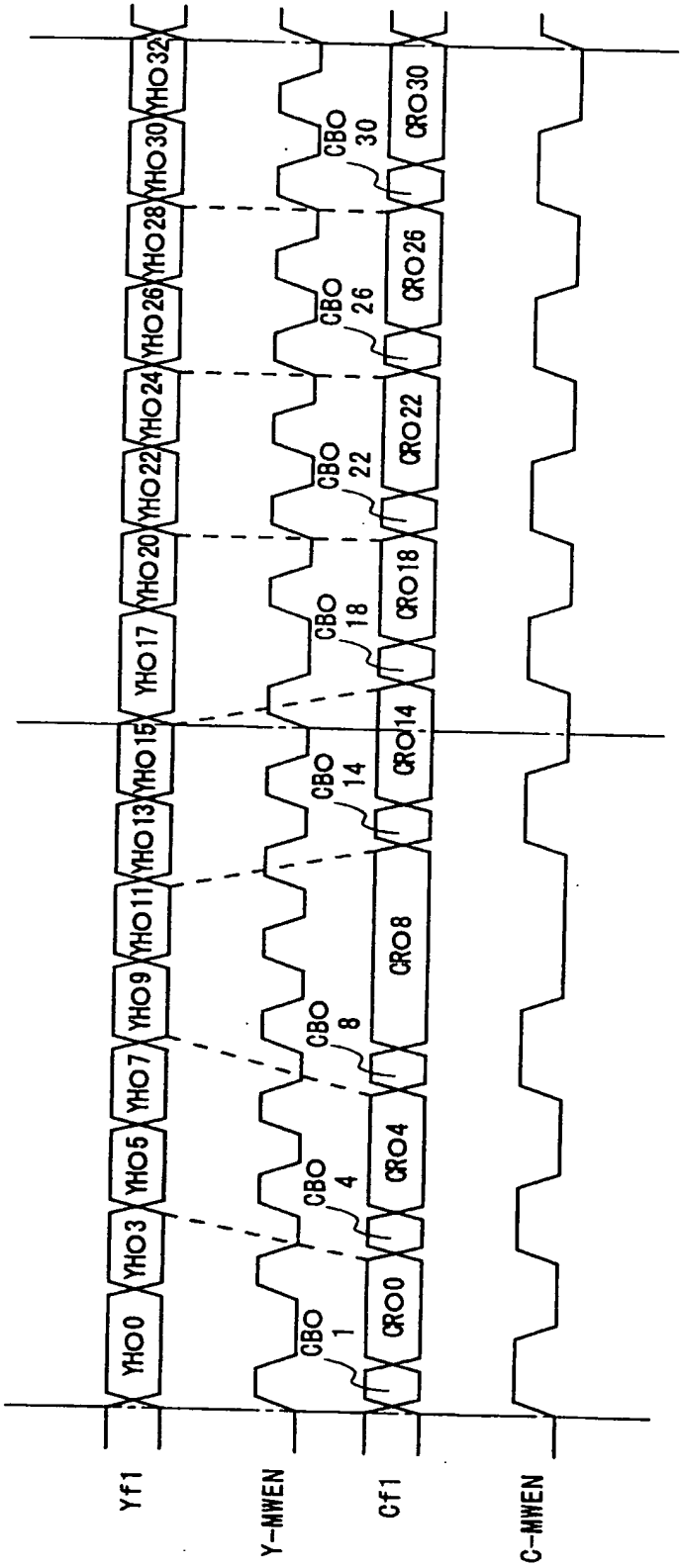
Y水平フィルタの水平間引きタイミング

図 1 4



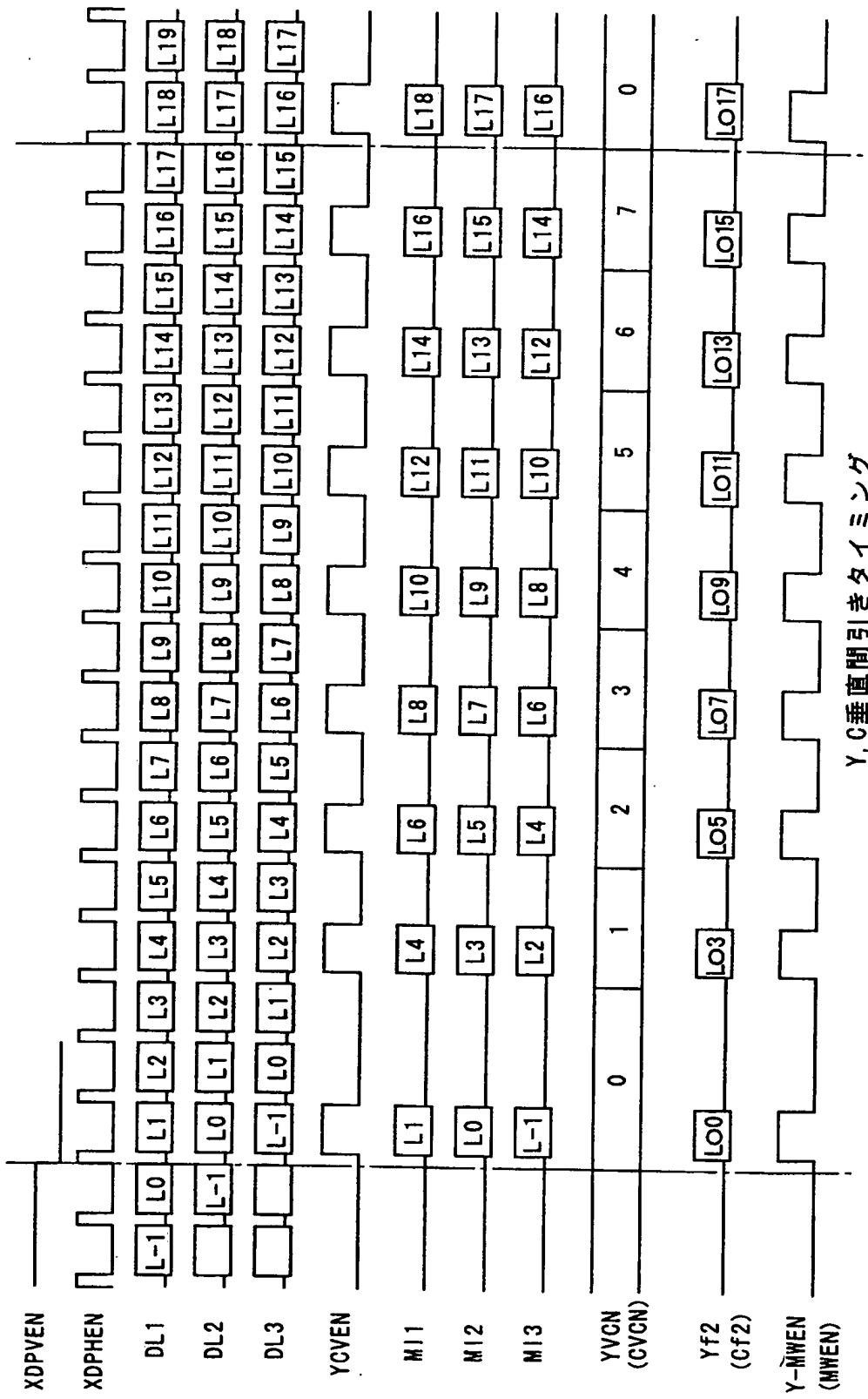
C水平フィルタの水平間引きタイミング

図 15



Y, C水平フィルタ出カタイミング

図 1 6



Y, C垂直間引きタイミング

図 17

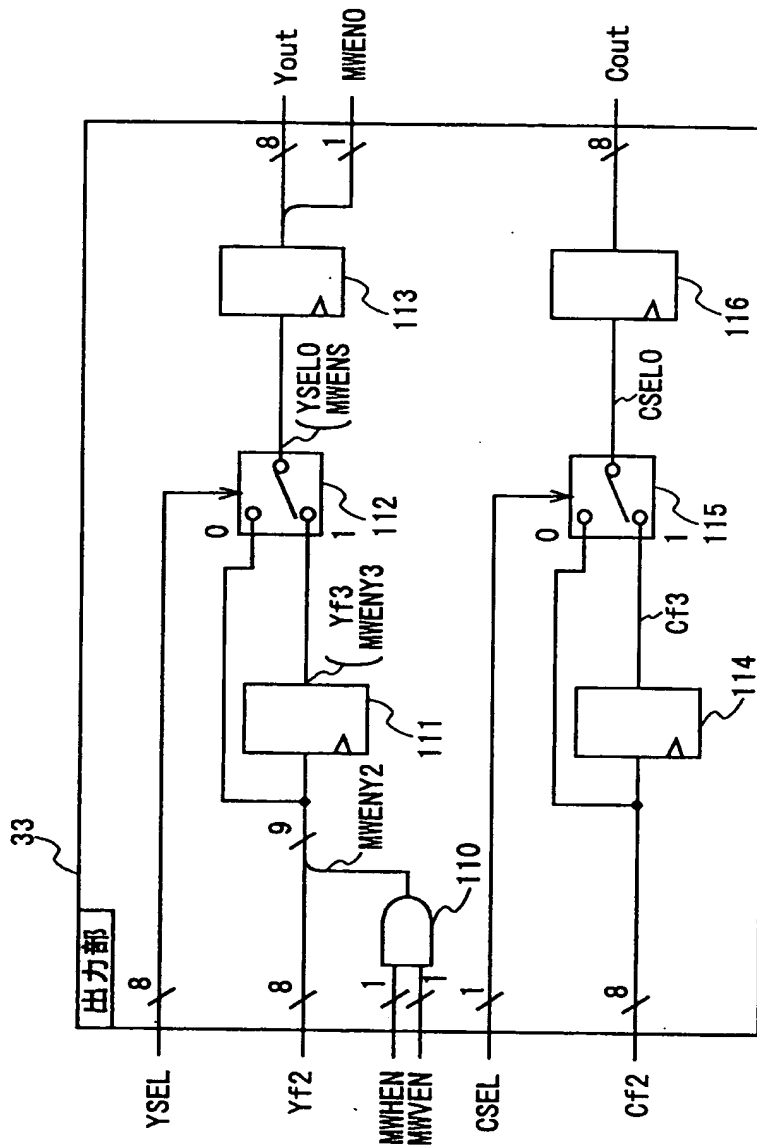


図 18

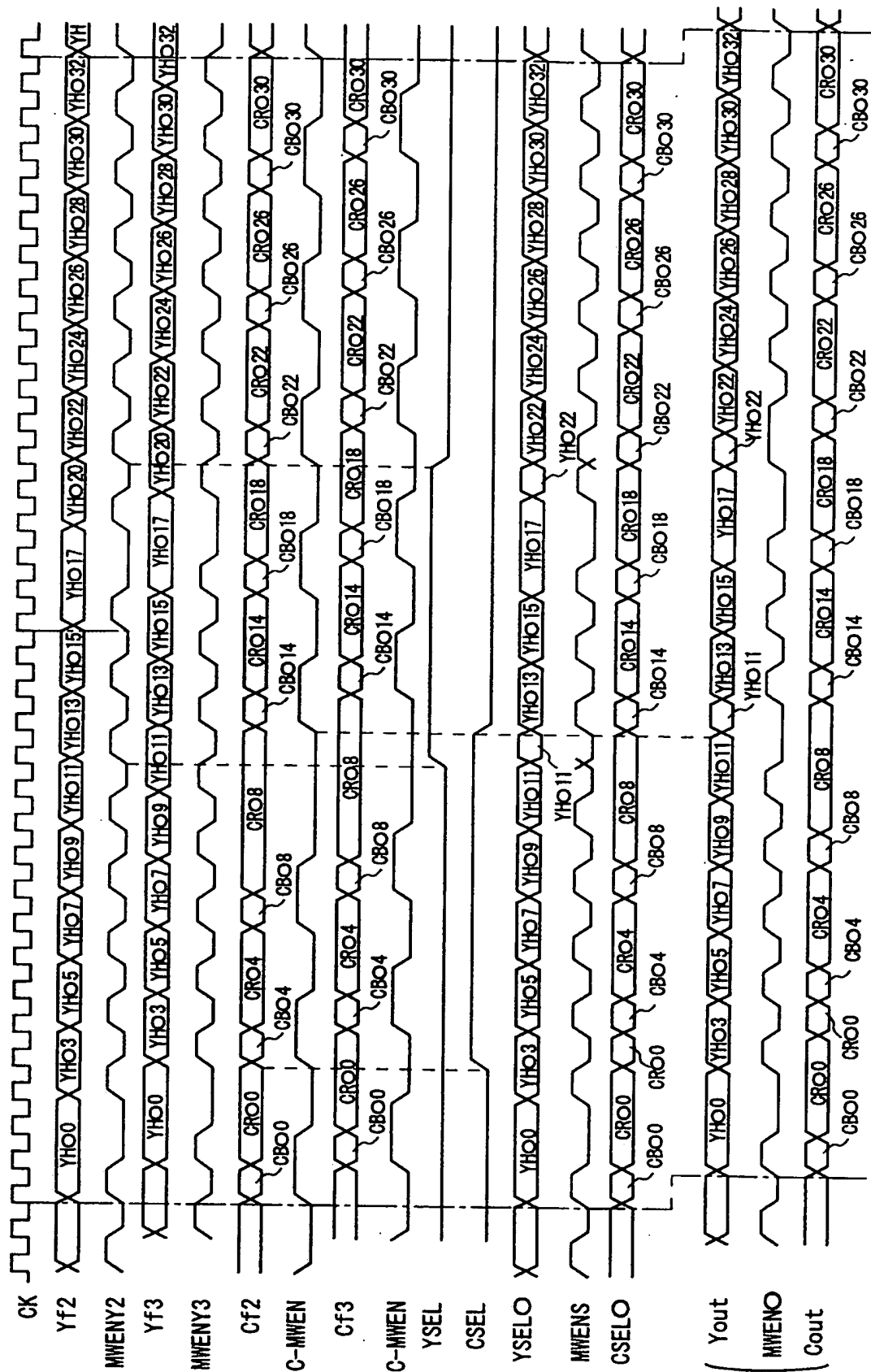


图 19

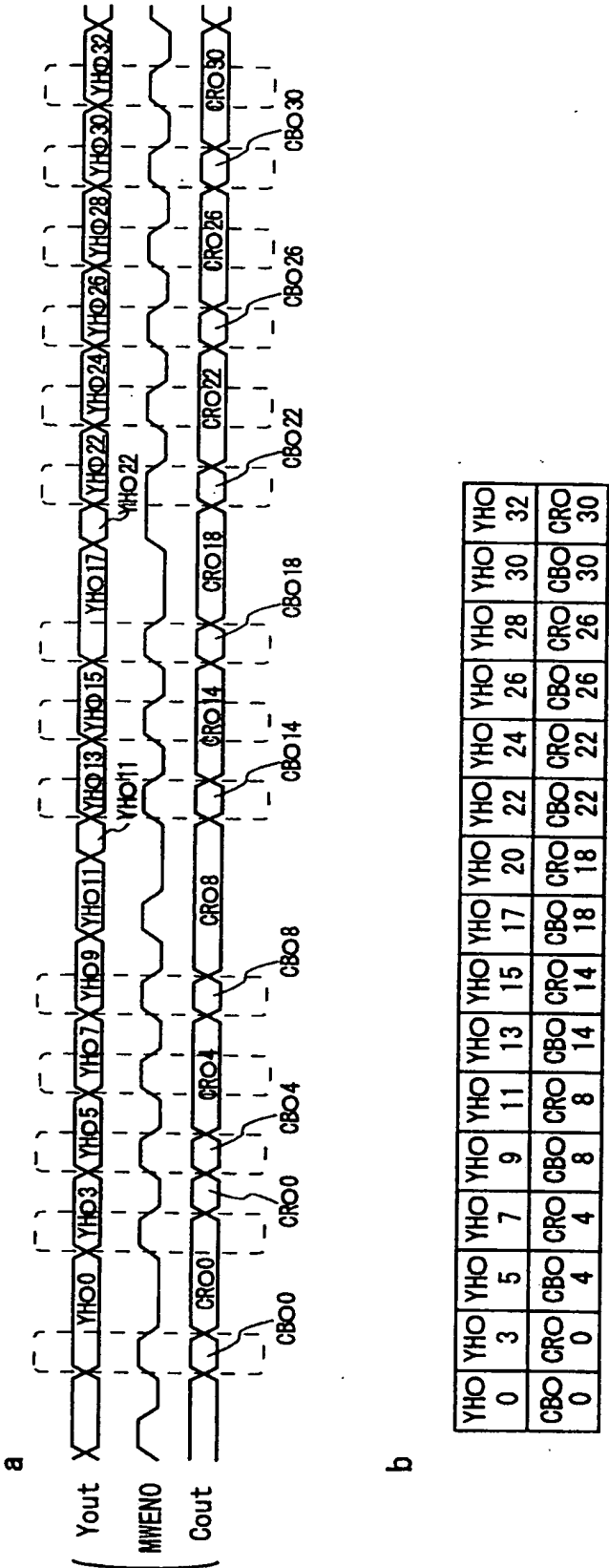


図 20

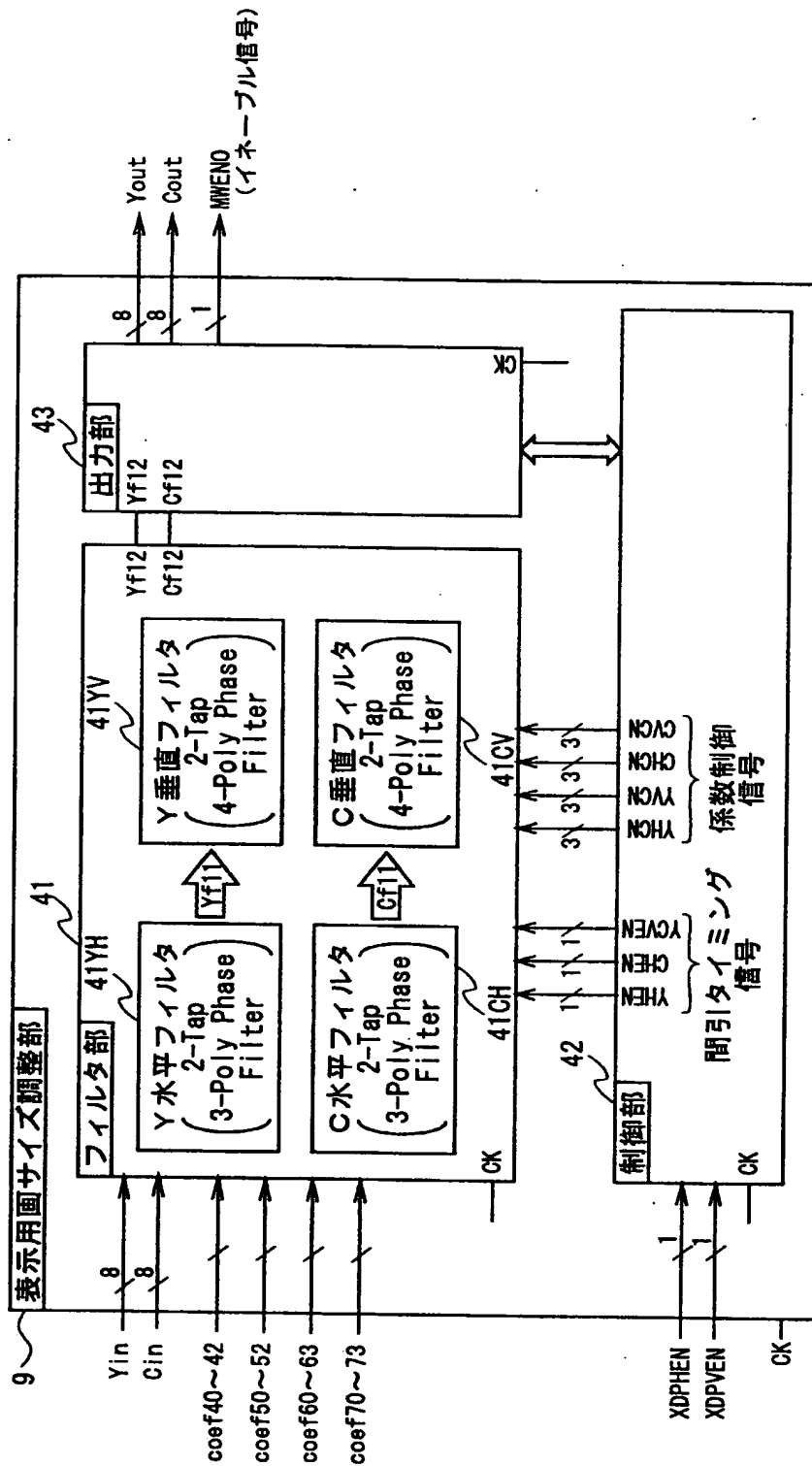


図 21

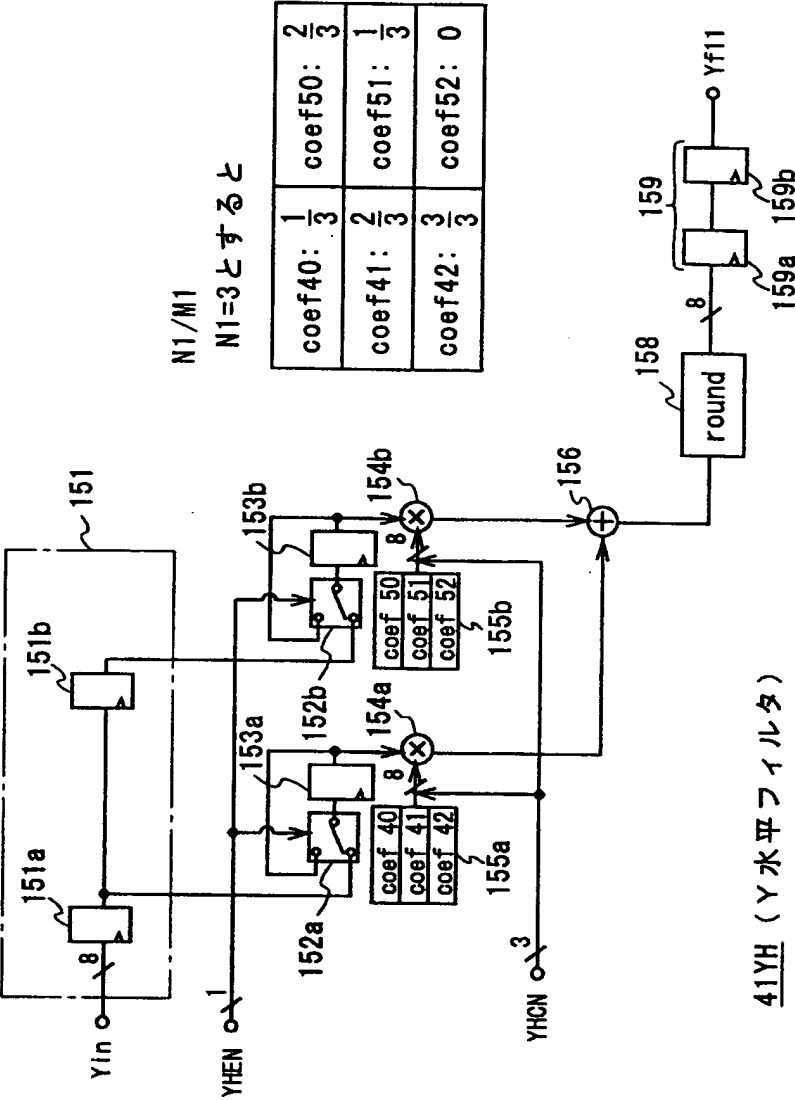


図 2 2

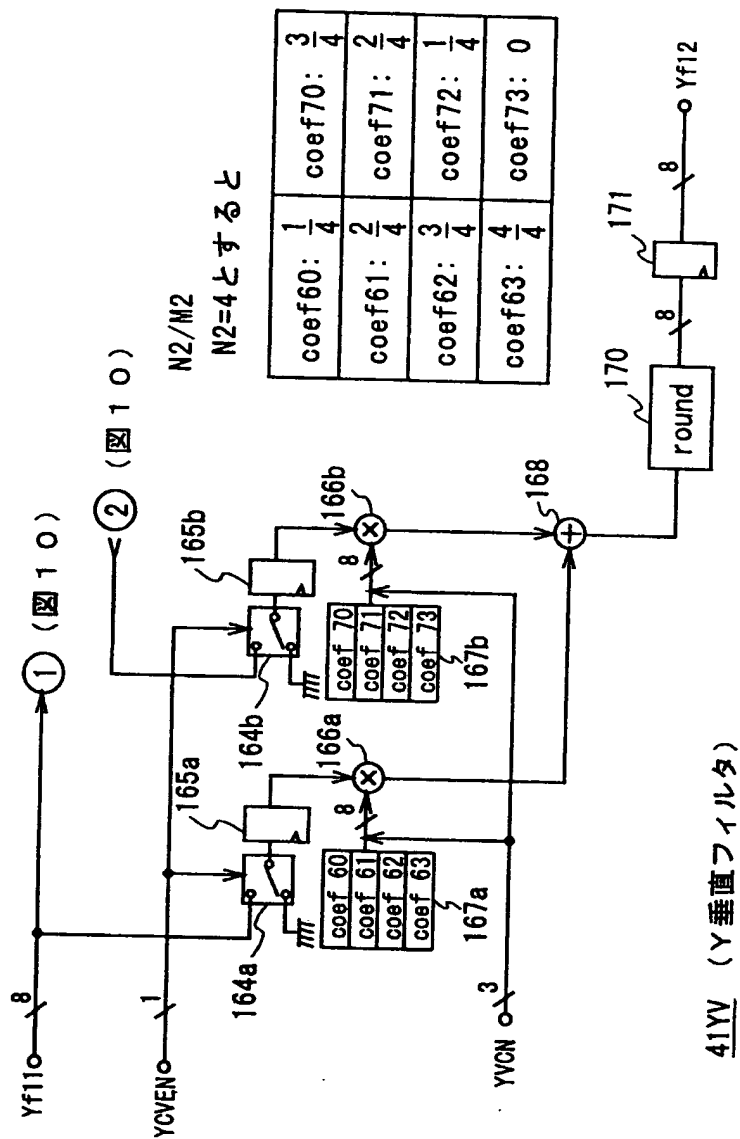
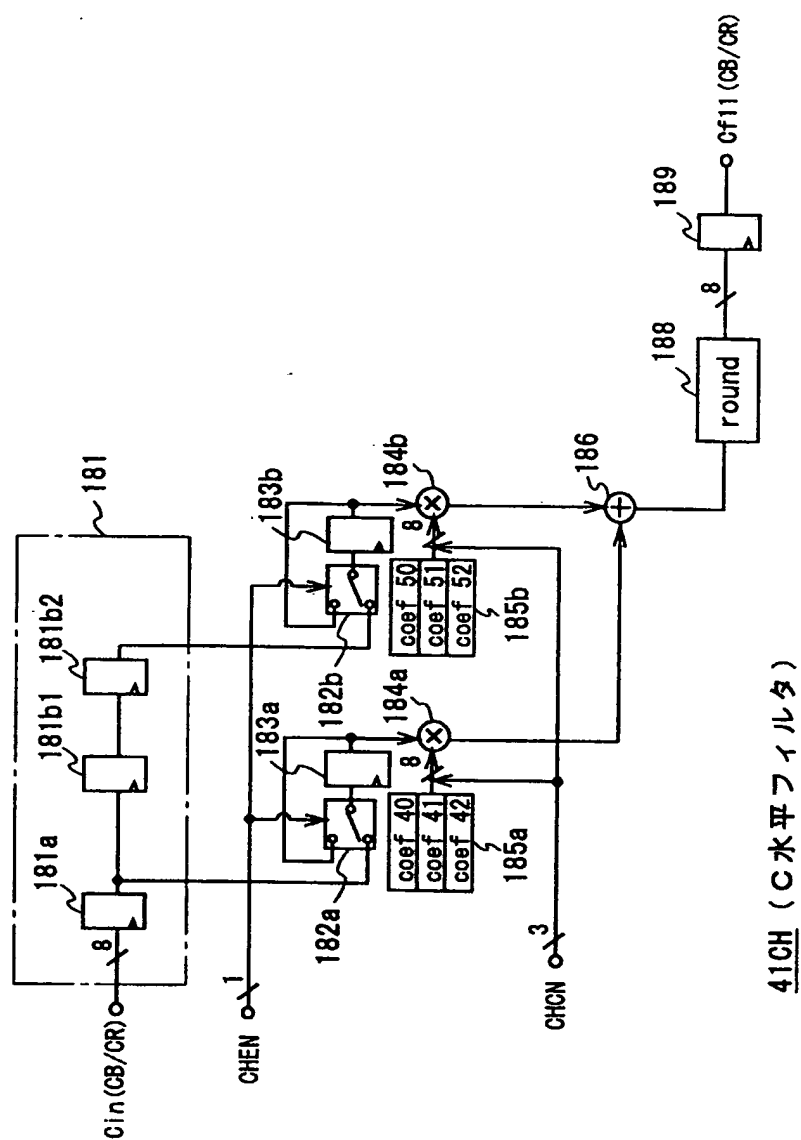
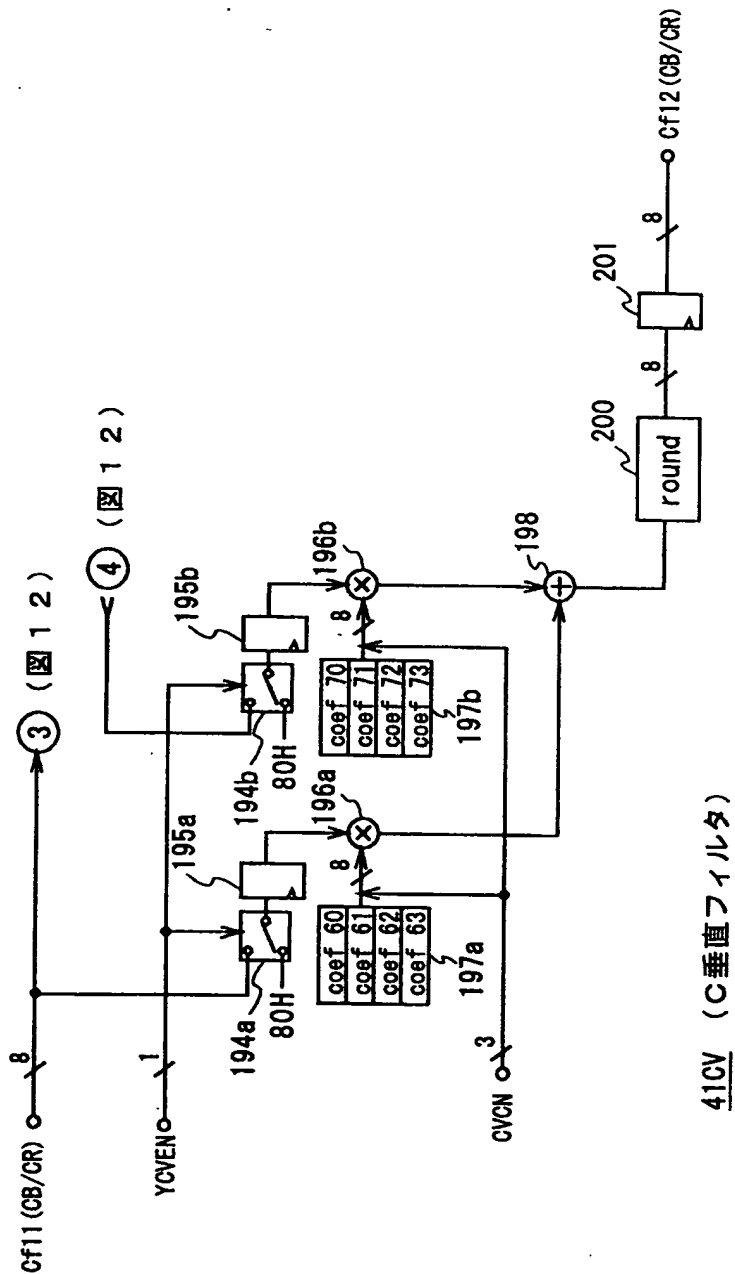


図 23



42X



41CV (C垂直フィルタ)

図 2 5

符 号 の 説 明

1 ……デジタルスチルカメラ、2 ……レンズ系、3 ……CCD、4 ……CDS及びA/D変換回路、5 ……DSP、6 ……タイミング発生回路、7 ……ストロボ、8 ……カメラコントローラ、9 ……表示用画サイズ調整部、10 ……記録用画サイズ調整部、11 ……ビデオRAMコントローラ、12 ……ビデオRAM、13 ……ビデオエンコーダ、14 ……ビデオ出力部、15 ……デコーダ/ドライバ、16 ……液晶表示部、17 ……DRAMコントローラ、18、22 ……DRAM、19 ……JPEGコントローラ、20 ……JPEG処理部、21 ……メインコントローラ、23 ……インターフェースコントローラ、24 ……操作部、25 ……PCカード、31、41 ……フィルタ部、32、42 ……制御部、33、43 ……出力部、31YH、41YH、…Y水平フィルタ、31YV、41YV…Y垂直フィルタ、31CH、41CH…C水平フィルタ、31CV、41CV…C垂直フィルタ。

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/04340

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl.⁶ H04N5/225

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04N5/225Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP,10-319898,A(NEC Corporation), 04 December, 1998 (04.12.98) (Family: none) Claim 3, page 4, right column	1, 2
Y A	JP,10-191392,A(Sony Corporation), 21 July, 1998 (21.07.98) (Family: none)	1, 2 3
Y A	JP,2-274547,A(SEIKO EPSON CORPORATION), 08 November, 1990 (08.11.90) (Family: none)	1, 2 3
Y A	JP,9-307401,A(TOSHIBA CORPORATION), 28 November, 1997 (28.11.97) (Family: none)	1, 2 3

☐ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 09 November, 1999 (09.11.99)	Date of mailing of the international search report 24 November, 1999 (24.11.99)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl 6 H04N5/225

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

H04N5/225

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-1999年
 日本国登録実用新案公報 1994-1999年
 日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 10-319898, A (日本電気株式会社) 4. 12月. 1998 (04. 12. 98) (ファミリーなし) 請求項3、第4頁右欄	1, 2
Y A	JP, 10-191392, A (ソニー株式会社) 21. 7月. 1998 (21. 07. 98) (ファミリーなし)	1, 2 3
Y A	JP, 2-274547, A (セイコーエプソン株式会社) 8. 11月. 1990 (08. 11. 90) (ファミリーなし)	1, 2 3
Y A	JP, 9-307401, A (株式会社東芝) 28. 11月. 1997 (28. 11. 97) (ファミリーなし)	1, 2 3

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

09. 11. 99

国際調査報告の発送日

24.11.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂東 博司

5P

4234

電話番号 03-3581-1101 内線 3581